

日本国特許庁
JAPAN PATENT OFFICE

J1036 U.S. PRO
09/903783



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年 7月11日

出願番号
Application Number:

特願2000-209738

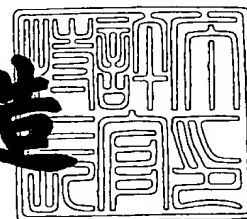
出願人
Applicant(s):

株式会社半導体エネルギー研究所

2001年 5月25日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3044308

【書類名】 特許願

【整理番号】 P005070

【提出日】 平成12年 7月11日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 空間光変調装置

【特許請求の範囲】

【請求項 1】

データドライバと、書き込み用スキャンドライバと、消去用スキャンドライバと、画素部と、消去用電源とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は第 1 アドレス電極と、第 2 アドレス電極とをそれぞれ有し、

前記書き込み用スキャンドライバによって、前記データドライバから出力されたデジタルビデオ信号が前記第 1 アドレス電極に入力され、

前記消去用スキャンドライバによって、前記消去用電源の電位が前記第 2 アドレス電極に与えられ、

前記第 1 アドレス電極と前記第 2 アドレス電極の電位は、常にグラウンドを基準として反転していることを特徴とする空間光変調装置。

【請求項 2】

データドライバと、書き込み用スキャンドライバと、消去用スキャンドライバと、画素部と、消去用電源とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は、スイッチング用トランジスタと、SRAMと、消去用トランジスタと、第 1 アドレス電極と、第 2 アドレス電極とをそれぞれ有し、

前記書き込み用スキャンドライバは前記スイッチング用トランジスタのスイッチングを制御しており、

前記消去用スキャンドライバは前記消去用トランジスタのスイッチングを制御しており、

前記データドライバは、前記スイッチング用トランジスタを介して前記SRAMが有する入力端子電極及び前記第 1 アドレスにデジタルビデオ信号を入力し、

前記SRAMの有する出力端子は前記第 2 アドレス電極に接続されており、

前記消去用電源は前記消去用トランジスタを介して前記第 2 アドレス電極及び前記出力端子に接続されていることを特徴とする空間光変調装置。

【請求項 3】

データドライバと、書き込み用スキャンドライバと、消去用スキャンドライバと、画素部と、消去用電源と、複数の書き込み用走査線と、複数の消去用走査線とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は、スイッチング用トランジスタと、SRAMと、消去用トランジスタと、第1アドレス電極と、第2アドレス電極とをそれぞれ有し、

前記書き込み用スキャンドライバから前記複数の書き込み用走査線に入力される書き込み用走査信号によって、前記スイッチング用トランジスタのスイッチングが制御されており、

前記消去用スキャンドライバから前記複数の消去用走査線に入力される書き込み用走査信号によって、前記消去用トランジスタのスイッチングが制御されており、

前記データドライバは、前記スイッチング用トランジスタを介して前記SRAMが有する入力端子及び前記第1アドレス電極にデジタルビデオ信号を入力し、

前記SRAMの有する出力端子は前記第2アドレス電極に接続されており、

前記消去用電源は前記消去用トランジスタを介して前記第2アドレス電極及び前記出力端子に接続されていることを特徴とする空間光変調装置。

【請求項 4】

データドライバと、書き込み用スキャンドライバと、消去用スキャンドライバと、画素部と、消去用電源とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は第1アドレス電極と、第2アドレス電極とをそれぞれ有しており、

前記書き込み用スキャンドライバによって、前記データドライバから出力されたデジタルビデオ信号が前記第1アドレス電極に入力され、

前記消去用スキャンドライバによって、前記消去用電源の電位が前記第2アドレス電極に与えられ、

前記第1アドレス電極と前記第2アドレス電極の電位は、常にグラウンドを基

準として反転しており、

前記複数の画素の各ラインの画素において、1フレーム期間中に n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} と、 j 個の非表示期間 T_{d1} 、 T_{d2} 、…及び T_{dj} とが出現し、

表示期間 T_{ri} (i は1、…または n のいずれか1つ)は、 i ビット目のデジタルビデオ信号が前記各ラインの画素に入力されてから、次のデジタルビデオ信号が前記各ラインの画素に入力されるまで、もしくは前記各ラインの画素がそれぞれ有する前記第2アドレス電極に消去電源の電位が与えられるまでの期間であり、

非表示期間 T_{dk} (k は1、…または n のいずれか1つ)は、前記各ラインの画素がそれぞれ有する前記第2アドレス電極に消去用電源の電位が与えられてから、デジタルビデオ信号が前記各ラインの画素に入力されるまでの期間であり、

前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} が全て出現した後、再び前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} のいずれか1つが出現し、

前記デジタルビデオ信号によって、前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} において白表示または黒表示が選択され、

前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} の長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$ で表されることを特徴とする空間光変調装置。

【請求項5】

データドライバと、書き込み用スキャンドライバと、消去用スキャンドライバと、画素部と、消去用電源とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は、スイッチング用トランジスタと、SRAMと、消去用トランジスタと、第1アドレス電極と、第2アドレス電極とをそれぞれ有しており、

前記書き込み用スキャンドライバは前記スイッチング用トランジスタのスイッチングを制御しており、

前記消去用スキャンドライバは前記消去用トランジスタのスイッチングを制御しており、

前記データドライバは、前記スイッチング用トランジスタを介して前記SRAM

Mが有する入力端子及び前記第1アドレス電極にデジタルビデオ信号を入力し、
前記SRAMの有する出力端子は前記第2アドレス電極に接続されており、
前記消去用電源は前記消去用トランジスタを介して前記第2アドレス電極及び
前記出力端子に接続されており、

前記複数の画素の各ラインの画素において、1フレーム期間中にn個の表示期
間 T_{r1} 、 T_{r2} 、…及び T_{rn} と、j個の非表示期間 T_{d1} 、 T_{d2} 、…及び
 T_{dj} とが出現し、

表示期間 T_{ri} (iは1、…またはnのいずれか1つ)は、iビット目のデジ
タルビデオ信号が前記各ラインの画素に入力されてから、次のデジタルビデオ信
号が前記各ラインの画素に入力されるまで、もしくは前記各ラインの画素がそれ
ぞれ有する前記第2アドレス電極に消去電源の電位が与えられるまでの期間であ
り、

非表示期間 T_{dk} (kは1、…またはnのいずれか1つ)は、前記各ラインの
画素がそれぞれ有する前記第2アドレス電極に消去用電源の電位が与えられてか
ら、デジタルビデオ信号が前記各ラインの画素に入力されるまでの期間であり、

前記n個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} が全て出現した後、再び前
記n個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} のいずれか1つが出現し、

前記デジタルビデオ信号によって、前記n個の表示期間 T_{r1} 、 T_{r2} 、…及
び T_{rn} において白表示または黒表示が選択され、

前記n個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} の長さの比は、 $2^0:2^1:$
…、 $2^{(n-1)}$ で表されることを特徴とする空間光変調装置。

【請求項6】

請求項1乃至請求項5のいずれか1項において、前記複数の画素はそれぞれマ
イクロミラーを有していることを特徴とする空間光変調装置。

【請求項7】

請求項6において、前記デジタルビデオ信号によって、前記n個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} において白表示または黒表示かが選択されることを
特徴とする空間光変調装置。

【請求項8】

請求項 6 または請求項 7 において、前記消去用電源の電位が前記第 2 アドレス電極に与えられると、前記マイクロミラーが黒表示を行う方向に傾くことを特徴とする空間光変調装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか 1 項において、前記 S R A M は 2 つの p チャネル型トランジスタと 2 つの n チャネル型トランジスタとを有していることを特徴とする空間光変調装置。

【請求項 1 0】

請求項 1 乃至請求項 8 のいずれか 1 項において、前記 S R A M は 2 つの p チャネル型トランジスタと 2 つの抵抗とを有していることを特徴とする空間光変調装置。

【請求項 1 1】

請求項 1 乃至請求項 8 のいずれか 1 項において、前記 S R A M は 2 つの n チャネル型トランジスタと 2 つの抵抗とを有していることを特徴とする空間光変調装置。

【請求項 1 2】

請求項 1 乃至請求項 1 1 のいずれか 1 項に記載の前記空間光変調装置を有することを特徴とするプロジェクター。

【請求項 1 3】

画素部と、消去用電源とを有する空間光変調装置の駆動方法であって、

前記画素部は複数の画素を有し、

前記複数の画素は、第 1 アドレス電極と、第 2 アドレス電極とをそれぞれ有しており、

前記複数の画素の各ラインの画素において、1 フレーム期間中に n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} と、 j 個の非表示期間 T_{d1} 、 T_{d2} 、…及び T_{dj} とが出現し、

表示期間 T_{ri} (i は 1、…または n のいずれか 1 つ) は、 i ビット目のデジタルビデオ信号が前記各ラインの画素の第 1 アドレス電極に入力されてから、次のデジタルビデオ信号が前記各ラインの画素に入力されるまで、もしくは前記各

ラインの画素がそれぞれ有する前記第 2 アドレス電極に消去電源の電位が与えられるまでの期間であり、

非表示期間 T_{dk} (k は 1、…または n のいずれか 1 つ) は、前記各ラインの画素がそれぞれ有する前記第 2 アドレス電極に消去用電源の電位が与えられてから、デジタルビデオ信号が前記各ラインの画素の第 1 アドレス電極に入力されるまでの期間であり、

前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} が全て出現した後、再び前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} のいずれか 1 つが出現し、

前記デジタルビデオ信号によって、前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} において白表示または黒表示が選択され、

前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} の長さの比は、 $2^0 : 2^1 : \dots, 2^{(n-1)}$ で表されることを特徴とする空間光変調装置の駆動方法。

【請求項 1 4】

請求項 1 3 において、前記複数の画素はそれぞれマイクロミラーを有していることを特徴とする空間光変調装置の駆動方法。

【請求項 1 5】

請求項 1 4 において、前記デジタルビデオ信号によって、前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} において白表示または黒表示かが選択されることを特徴とする空間光変調装置の駆動方法。

【請求項 1 6】

請求項 1 5 において、前記消去用電源の電位が前記第 2 アドレス電極に与えられると、前記マイクロミラーが黒表示を行う方向に傾くことを特徴とする空間光変調装置の駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、可変形ミラーデバイス (DMD) に関し、より詳細には DMD の駆動に関する。

【0 0 0 2】

【従来の技術】

近年、高輝度かつ高精細な表示用のフラットパネルディスプレイ（FPD）の開発が進められている。FPDは、代表的には液晶ディスプレイ、EL（エレクトロルミネッセンス）ディスプレイ、プラズマディスプレイ等が挙げられる。

【0003】

また上述したFPDの他に、空間光変調装置の1つであるDMD（Digital Micromirror Device）が注目を浴びはじめている。DMDは、特開平5-150173、特開平5-183851、特開平07-240891、特開平8-334709、特開平8-227044、特開平8-051586、特開平8-227044等が、出願人テキサス インスツルメンツ インコーポレイテッドによって出願公開されている。

【0004】

DMDは、シリコン基板上に形成されたCMOS SRAM上に約 $16\mu\text{m} \times 16\mu\text{m}$ のマイクロミラーが $17\mu\text{m}$ ピッチで複数設けられており、それぞれのマイクロミラーがスクリーンの画素に対応している。その数は、SVGAで48万個、XGAで78万6000個、SXGAで130万個にもおよぶ。

【0005】

映像情報有するデジタル信号（デジタルビデオ信号）がDMDのSRAMに入力されると、SRAMからの電圧による電界の作用により、マイクロミラーの基板に対する角度が θ だけ変えられる。マイクロミラーの基板に対する角度が θ （ $0 < \theta < 90^\circ$ ）だけ変わると、光源からの光は、マイクロミラーにおいて反射する際に2方向に分離する。2方向に分離された光のうち、一方は光吸収板（光アブソーバー）に吸収され、もう一方はスクリーンに到達して画像を形成する。

【0006】

図13に、DMDの画素の構成を概略図で示す。基板901上に複数の画素が設けられており、各画素は、第1アドレス電極902a、第2アドレス電極902b、着地サイト903、マイクロミラー904、ヒンジ905、ヒンジ支持ポスト906をそれぞれ有している。

【0007】

マイクロミラー904は、ヒンジ905を回転軸として基板901に対する角度が θ だけ変えられる。ヒンジ905はヒンジ支持ポスト906により基板901上に固定されている。

【0008】

マイクロミラー904がヒンジ905を回転軸として、基板に対して角度 θ 以上傾いたとき、マイクロミラー904の一部は着地サイト903に接する。着地サイト903はミラー904と同じ電位に保たれているか、もしくは絶縁性を有している。

【0009】

画素に入力されたデジタルビデオ信号の電位は第1アドレス電極902aに与えられる。またデジタルビデオ信号が、グラウンドの電位を基準として反転させられて、反転デジタルビデオ信号として第2アドレス電極902bに与えられる。

【0010】

マイクロミラー904には一定の電位（基準電位）が与えられている。そして基準電位とデジタルビデオ信号の電位差が、基準電位と反転デジタルビデオ信号との電位差よりも大きい場合、マイクロミラー904は角度 θ だけ第1アドレス電極側に傾く。逆に基準電位とデジタルビデオ信号の電位差が、基準電位と反転デジタルビデオ信号との電位差よりも小さい場合、マイクロミラー904は角度 θ だけ第2アドレス電極側に傾く。

【0011】

上述した構造を有するDMDを用いたプロジェクターであるDLP (Digital Light Processing) は、液晶を用いたプロジェクターと異なり、偏光板による光ロスがないばかりか開口率が90%以上と高いため、光利用効率が高い。また一般的な透過型液晶パネルと違い、反射型デバイスのため、画素と画素の隙間、つまりマイクロミラー間の隙間が約 $0.8\mu\text{m}$ と小さく、スクリーンに拡大投射しても高精細画像が容易に得られる。さらにDMDは冷却効率に優れているため薄膜トランジスタを用いた液晶パネルのような熱問題が発生せず、ハイパワーの光源を用いることが可能であるなど、プロジェクターを高輝度化しやすいといった

特徴がある。

【0012】

次に図14に、従来のDMDにおける画素の駆動回路について示す。911はデータドライバ、912はスキャンドライバ、914は画素部である。画素部914は複数の複数の画素913を有している。

【0013】

データドライバ911は複数のデータ線918にデジタルビデオ信号を入力しており、スキャンドライバ912は複数の走査線917に走査信号を入力している。図14で示したDMDの場合、1つのデータ線918と1つの走査線917とを有する領域が画素913に相当する。

【0014】

画素913はスイッチング用トランジスタ915と、複数のトランジスタを有するSRAM916とを有している。スイッチング用トランジスタ915のゲート電極は走査線917に接続されている。またスイッチング用トランジスタ915のソース領域とドレイン領域は、一方はデータ線918に、もう一方はSRAM916の入力端子Vin及び第1アドレス電極902aに接続されている。

【0015】

なお本明細書においてトランジスタとは電界効果トランジスターを意味し、スイッチング素子として機能する。

【0016】

SRAM916の出力端子Voutは第2アドレス電極902bに接続されている。またVddhは高電圧側の電源を意味し、VSSは低電圧側の電源を意味する。

【0017】

【発明が解決しようとする課題】

図14に示したDMDにおいて、スキャンドライバ912から走査線917に入力される走査信号によって、スイッチング用トランジスタ915が選択される。なお本明細書において、配線を選択するとは、該配線にゲート電極が接続されたトランジスタを全てオンの状態にすることを意味する。

【 0 0 1 8 】

そしてデータドライバ 9 1 1 からデータ線 9 1 8 にデジタルビデオ信号が入力される。入力されたデジタルビデオ信号は、オンの状態のスイッチング用トランジスタ 9 1 5 を介して S R A M 9 1 6 の入力端子 V i n 及び第 1 アドレス電極 9 0 2 a に入力される。S R A M 9 1 6 の入力端子 V i n に入力されたデジタルビデオ信号は、グラウンドの電位を基準として反転し、反転デジタルビデオ信号として出力端子 V o u t から出力され、第 2 アドレス電極 9 0 2 b に入力される。

【 0 0 1 9 】

第 1 アドレス電極 9 0 2 a と第 2 アドレス電極 9 0 2 b に、デジタルビデオ信号と反転デジタルビデオ信号がそれぞれ入力されると、デジタルビデオ信号の有する「1」または「0」の情報によって、画素が有するマイクロミラー 9 0 4 の基板に対する角度が選択される。基板に対する角度が選択されると、光源からの光はスクリーンに照射されるか、光吸収板に照射されかが選択される。

【 0 0 2 0 】

そして順に画素部 9 1 4 の全ての画素 9 1 3 にデジタルビデオ信号が入力され、マイクロミラーの角度が選択される。なお本明細書において、画素 9 1 3 にデジタルビデオ信号が入力されるとは、画素 9 1 3 が有するスイッチング用トランジスタ 9 1 5 のソース領域またはドレイン領域にデジタルビデオ信号が入力されることを意味する。

【 0 0 2 1 】

そして再び同じ画素にデジタルビデオ信号が入力されると、再びマイクロミラーの角度が選択される。

【 0 0 2 2 】

次に従来の D M D の時分割階調表示について、図 1 5 を用いて説明する。図 1 5 において、横軸はタイムスケールを示しており縦軸は走査線の位置を示している。

【 0 0 2 3 】

従来の D M D で用いられてきた時分割階調表示では、1つのフレーム期間に複数のサブフレーム期間が設けられている。

【0024】

図15では1フレーム期間中に n 個のサブフレーム期間が設けられている例を示している。そして n 個のサブフレーム期間のそれぞれにおいて、マイクロミラーの角度をデジタルビデオ信号によって選択することで、光源からの光をスクリーン、または光吸収板に照射させる。以下、スクリーンに光が照射されることを白表示、光吸収板に照射されることを黒表示と呼ぶ。

【0025】

1個目から n 個目のサブフレームは、1ビット目から n ビット目のデジタルビデオ信号によって白表示か黒表示かがそれぞれ選択される。

【0026】

n 個のサブフレーム期間において白表示または黒表示が選択されることで、1フレーム期間中における白表示の期間と黒表示の期間の長さを制御することができる。その結果、1フレーム期間で形成される画像の階調を制御することができる。

【0027】

しかし、図15で示した従来のDMDの時分割階調表示では、表示する画像の階調数を高くしていくとサブフレーム期間の長さが短くなるため、画素へのデジタルビデオ信号の書き込む速度が対応しきれないという問題が生じる。個の問題について、以下に図16を用いて詳しく説明する。

【0028】

図16において、横軸はタイムスケールを示しており縦軸は走査線の位置を示している。また t_1 は全ての画素に i ビット目のデジタルビデオ信号が書き込まれる期間の長さを示しており、 t_2 はサブフレーム期間 SF_i の長さを示している。

【0029】

図16(A)は $t_1 \leq t_2$ の場合を示しており、図16(B)は $t_1 > t_2$ の場合を示している。

【0030】

図16(A)に示した $t_1 \leq t_2$ の場合、 i 番目のサブフレーム期間 SF_i が

終了し次の $(i+1)$ 番目のサブフレーム期間 $SF(i+1)$ が開始されるまでに、全ての画素に i ビット目のデジタルビデオ信号が書き込まれている。よって i ビット目のデジタルビデオ信号の画素へ書き込みと、 $(i+1)$ ビット目のデジタルビデオ信号の画素への書き込みとが、同じ画素部において並行して行われることがない。

【0031】

しかし図16(B)に示した $t_1 > t_2$ の場合、 i 番目のサブフレーム期間 SF_i が終了しても画素への i ビット目のデジタルビデオ信号の書き込みが終了していない。つまり i ビット目のデジタルビデオ信号の書き込みと並行して、 $(i+1)$ ビット目のデジタルビデオ信号の画素への書き込みを開始しなくてはならず、図14で示した構成のDMDでは、図16(B)に示した駆動は不可能であった。

【0032】

上述した問題に鑑み、階調数の高い画像の表示を行うことが可能な、新しい構成のDMDが所望されている。

【0033】

【課題を解決するための手段】

本発明者らは、異なる走査線にゲート電極を接続したスイッチング用トランジスタと消去用トランジスタとを各画素に設け、別個にそのスイッチングを制御する構成を考案した。

【0034】

スイッチング用トランジスタをオンの状態にすることでデジタルビデオ信号を画素に入力し、消去用トランジスタをオンの状態にすることで該画素を黒表示の状態にする。スイッチング用トランジスタのスイッチングと消去用トランジスタのスイッチングは別の走査用駆動回路を用いて制御する。このため同じ画素部において、画素へデジタルビデオ信号を順に入力するのと並行して、画素を順に黒表示の状態にさせることができる。

【0035】

図1を用いて本発明の駆動方法について説明する。図1において、横軸はタイ

ムスケールを示しており縦軸は走査線の位置を示している。また、 t_1 は各ラインの画素が i ビット目のデジタルビデオ信号により表示を行う表示期間 T_{ri} の長さを示しており、 t_2 は全ての画素に i ビット目のデジタルビデオ信号が書き込まれる期間の長さを示している。

【0036】

図1の駆動において、スイッチング用トランジスタをオンの状態にし、 i ビット目のデジタルビデオ信号を画素に書き込むことで、表示期間 T_{ri} が開始される。

【0037】

次に、表示期間 T_{ri} が開始されてから時間 t_1 が経過した時に、消去用トランジスタをオンの状態にすることで画素が順に黒表示の状態になり、表示期間 T_{ri} が終了する。なお、本明細書では、消去用トランジスタがオンの状態になることで画素が黒表示の状態にある期間を非表示期間(T_d)と呼ぶ。特に表示期間 T_{ri} の直後に出現する非表示期間を T_{di} とする。

【0038】

t_3 は各ラインの画素における非表示期間 T_{di} の長さである。非表示期間の長さ t_3 は、 i ビット目のデジタルビデオ信号を画素に書き込む期間と、 $(i+1)$ ビット目のデジタルビデオ信号を画素に書き込む期間とが重ならないような長さであることが重要である。つまり $t_3 \geq t_2 - t_1$ とすることが重要である。

【0039】

非表示期間 T_{di} が開始されてから時間 t_3 が経過した時に、再びスイッチング用トランジスタがオンの状態になり、 $(i+1)$ ビット目のデジタルビデオ信号の画素への書き込みが開始される。 $(i+1)$ ビット目のデジタルビデオ信号の画素への書き込みが開始されると同時に非表示期間 T_{di} が終了し、表示期間 $T_{r(i+1)}$ が開始される。

【0040】

上述した駆動によって、 i ビット目のデジタルビデオ信号と $(i+1)$ ビット目のデジタルビデオ信号の画素への書き込みを並行して行わなくても、表示期間

T r i を全ての画素へデジタルビデオ信号を書き込む期間の長さよりも短くすることが可能になる。

【 0 0 4 1 】

つまり、本発明のDMDの時分割階調表示では、従来のDMDの時分割階調表示に比べて、従来のサブフレーム期間に相当する表示期間の長さを短くすることが可能になる。そのため、デジタルビデオ信号を画素へ書き込む速度が従来と同じであっても、画像の階調数をより高くすることが可能になる。

【 0 0 4 2 】

以下に、本発明の構成について示す。

【 0 0 4 3 】

本発明は、

データドライバと、書き込み用スキャンドライバと、消去用スキャンドライバと、画素部と、消去用電源とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は第1アドレス電極と、第2アドレス電極とをそれぞれ有し、

前記書き込み用スキャンドライバによって、前記データドライバから出力されたデジタルビデオ信号が前記第1アドレス電極に入力され、

前記消去用スキャンドライバによって、前記消去用電源の電位が前記第2アドレス電極に与えられ、

前記第1アドレス電極と前記第2アドレス電極の電位は、常にグラウンドを基準として反転していることを特徴とする空間光変調装置である。

【 0 0 4 4 】

本発明は、

データドライバと、書き込み用スキャンドライバと、消去用スキャンドライバと、画素部と、消去用電源とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は、スイッチング用トランジスタと、SRAMと、消去用トランジスタと、第1アドレス電極と、第2アドレス電極とをそれぞれ有し、

前記書き込み用スキャンドライバは前記スイッチング用トランジスタのスイッ

チングを制御しており、

前記消去用スキャンドライバは前記消去用トランジスタのスイッチングを制御しており、

前記データドライバは、前記スイッチング用トランジスタを介して前記 S R A M が有する入力端子電極及び前記第 1 アドレスにデジタルビデオ信号を入力し、

前記 S R A M の有する出力端子は前記第 2 アドレス電極に接続されており、

前記消去用電源は前記消去用トランジスタを介して前記第 2 アドレス電極及び前記出力端子に接続されていることを特徴とする空間光変調装置である。

【 0 0 4 5 】

本発明は、

データドライバと、書き込み用スキャンドライバと、消去用スキャンドライバと、画素部と、消去用電源と、複数の書き込み用走査線と、複数の消去用走査線とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は、スイッチング用トランジスタと、 S R A M と、消去用トランジスタと、第 1 アドレス電極と、第 2 アドレス電極とをそれぞれ有し、

前記書き込み用スキャンドライバから前記複数の書き込み用走査線に入力される書き込み用走査信号によって、前記スイッチング用トランジスタのスイッチングが制御されており、

前記消去用スキャンドライバから前記複数の消去用走査線に入力される書き込み用走査信号によって、前記消去用トランジスタのスイッチングが制御されており、

前記データドライバは、前記スイッチング用トランジスタを介して前記 S R A M が有する入力端子及び前記第 1 アドレス電極にデジタルビデオ信号を入力し、

前記 S R A M の有する出力端子は前記第 2 アドレス電極に接続されており、

前記消去用電源は前記消去用トランジスタを介して前記第 2 アドレス電極及び前記出力端子に接続されていることを特徴とする空間光変調装置である。

【 0 0 4 6 】

本発明は、

データドライバと、書き込み用スキャンドライバと、消去用スキャンドライバと、画素部と、消去用電源とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は第 1 アドレス電極と、第 2 アドレス電極とをそれぞれ有しており、

前記書き込み用スキャンドライバによって、前記データドライバから出力されたデジタルビデオ信号が前記第 1 アドレス電極に入力され、

前記消去用スキャンドライバによって、前記消去用電源の電位が前記第 2 アドレス電極に与えられ、

前記第 1 アドレス電極と前記第 2 アドレス電極の電位は、常にグラウンドを基準として反転しており、

前記複数の画素の各ラインの画素において、1 フレーム期間中に n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} と、 j 個の非表示期間 T_{d1} 、 T_{d2} 、…及び T_{dj} とが出現し、

表示期間 T_{ri} (i は 1、…または n のいずれか 1 つ) は、 i ビット目のデジタルビデオ信号が前記各ラインの画素に入力されてから、次のデジタルビデオ信号が前記各ラインの画素に入力されるまで、もしくは前記各ラインの画素がそれぞれ有する前記第 2 アドレス電極に消去電源の電位が与えられるまでの期間であり、

非表示期間 T_{dk} (k は 1、…または n のいずれか 1 つ) は、前記各ラインの画素がそれぞれ有する前記第 2 アドレス電極に消去用電源の電位が与えられてから、デジタルビデオ信号が前記各ラインの画素に入力されるまでの期間であり、

前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} が全て出現した後、再び前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} のいずれか 1 つが出現し、

前記デジタルビデオ信号によって、前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} において白表示または黒表示が選択され、

前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} の長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$ で表されることを特徴とする空間光変調装置である。

【0047】

本発明は、

データドライバと、書き込み用スキャンドライバと、消去用スキャンドライバと、画素部と、消去用電源とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は、スイッチング用トランジスタと、SRAMと、消去用トランジスタと、第1アドレス電極と、第2アドレス電極とをそれぞれ有しており、

前記書き込み用スキャンドライバは前記スイッチング用トランジスタのスイッチングを制御しており、

前記消去用スキャンドライバは前記消去用トランジスタのスイッチングを制御しており、

前記データドライバは、前記スイッチング用トランジスタを介して前記SRAMが有する入力端子及び前記第1アドレス電極にデジタルビデオ信号を入力し、

前記SRAMの有する出力端子は前記第2アドレス電極に接続されており、

前記消去用電源は前記消去用トランジスタを介して前記第2アドレス電極及び前記出力端子に接続されており、

前記複数の画素の各ラインの画素において、1フレーム期間中に n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} と、 j 個の非表示期間 T_{d1} 、 T_{d2} 、…及び T_{dj} とが出現し、

表示期間 T_{ri} (i は1、…または n のいずれか1つ)は、 i ビット目のデジタルビデオ信号が前記各ラインの画素に入力されてから、次のデジタルビデオ信号が前記各ラインの画素に入力されるまで、もしくは前記各ラインの画素がそれぞれ有する前記第2アドレス電極に消去電源の電位が与えられるまでの期間であり、

非表示期間 T_{dk} (k は1、…または n のいずれか1つ)は、前記各ラインの画素がそれぞれ有する前記第2アドレス電極に消去用電源の電位が与えられてから、デジタルビデオ信号が前記各ラインの画素に入力されるまでの期間であり、

前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} が全て出現した後、再び前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} のいずれか1つが出現し、

前記デジタルビデオ信号によって、前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及

び $T_{r n}$ において白表示または黒表示が選択され、

前記 n 個の表示期間 $T_{r 1}$ 、 $T_{r 2}$ 、…及び $T_{r n}$ の長さの比は、 $2^0 : 2^1 : \dots, 2^{(n-1)}$ で表されることを特徴とする空間光変調装置である。

【 0 0 4 8 】

本発明は、

画素部と、消去用電源とを有する空間光変調装置の駆動方法であって、

前記画素部は複数の画素を有し、

前記複数の画素は、第 1 アドレス電極と、第 2 アドレス電極とをそれぞれ有しており、

前記複数の画素の各ラインの画素において、1 フレーム期間中に n 個の表示期間 $T_{r 1}$ 、 $T_{r 2}$ 、…及び $T_{r n}$ と、 j 個の非表示期間 $T_{d 1}$ 、 $T_{d 2}$ 、…及び $T_{d j}$ とが出現し、

表示期間 $T_{r i}$ (i は 1、…または n のいずれか 1 つ) は、 i ビット目のデジタルビデオ信号が前記各ラインの画素の第 1 アドレス電極に入力されてから、次のデジタルビデオ信号が前記各ラインの画素に入力されるまで、もしくは前記各ラインの画素がそれぞれ有する前記第 2 アドレス電極に消去電源の電位が与えられるまでの期間であり、

非表示期間 $T_{d k}$ (k は 1、…または n のいずれか 1 つ) は、前記各ラインの画素がそれぞれ有する前記第 2 アドレス電極に消去用電源の電位が与えられてから、デジタルビデオ信号が前記各ラインの画素の第 1 アドレス電極に入力されるまでの期間であり、

前記 n 個の表示期間 $T_{r 1}$ 、 $T_{r 2}$ 、…及び $T_{r n}$ が全て出現した後、再び前記 n 個の表示期間 $T_{r 1}$ 、 $T_{r 2}$ 、…及び $T_{r n}$ のいずれか 1 つが出現し、

前記デジタルビデオ信号によって、前記 n 個の表示期間 $T_{r 1}$ 、 $T_{r 2}$ 、…及び $T_{r n}$ において白表示または黒表示が選択され、

前記 n 個の表示期間 $T_{r 1}$ 、 $T_{r 2}$ 、…及び $T_{r n}$ の長さの比は、 $2^0 : 2^1 : \dots, 2^{(n-1)}$ で表されることを特徴とする空間光変調装置の駆動方法である。

【 0 0 4 9 】

本発明は、前記複数の画素がそれぞれマイクロミラーを有していることを特徴

としていても良い。

【 0 0 5 0 】

本発明は、前記デジタルビデオ信号によって、前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} において白表示または黒表示かが選択されることを特徴としていても良い。

【 0 0 5 1 】

本発明は、前記消去用電源の電位が前記第 2 アドレス電極に与えられると、前記マイクロミラーが黒表示を行う方向に傾くことを特徴としていても良い。

【 0 0 5 2 】

本発明は、前記 S R A M が 2 つの p チャネル型トランジスタと 2 つの n チャネル型トランジスタとを有していることを特徴としていても良い。

【 0 0 5 3 】

本発明は、前記 S R A M が 2 つの p チャネル型トランジスタと 2 つの抵抗とを有していることを特徴としていても良い。

【 0 0 5 4 】

本発明は、前記 S R A M が 2 つの n チャネル型トランジスタと 2 つの抵抗とを有していることを特徴としていても良い。

【 0 0 5 5 】

本発明には、前記空間光変調装置を有することを特徴とするプロジェクターが含まれる。

【 0 0 5 6 】

【発明の実施の形態】

図 2 に本発明の DMD の回路図を示す。111 はデータドライバ、112 a は書き込み用スキャンドライバ、112 b は消去用スキャンドライバ、114 は画素部である。画素部 114 は複数の画素 113 を有している。なお書き込み用スキャンドライバ 112 a と消去用スキャンドライバ 112 b とを総称してスキャンドライバ 112 と呼ぶ。

【 0 0 5 7 】

なお本実施の形態では、データドライバ 111 と書き込み用スキャンドライバ

112aと消去用スキャンドライバ112bとを1つずつ有する構成を示しているが、本発明はこれに限定されない。また画素部114とデータドライバ111と書き込み用スキャンドライバ112aと消去用スキャンドライバ112bとは、同じ基板上に形成しても良いし、異なる基板上に設けてFPC、TAB等を用いて画素部114に接続する構成にしても良い。

【0058】

データドライバ111は複数のデータ線118にデジタルビデオ信号を入力している。そして、書き込み用スキャンドライバ112aは複数の書き込み用走査線117aに書き込み用走査信号を入力している。また消去用スキャンドライバ112bは複数の消去用走査線117bに書き込み用走査信号を入力している。

【0059】

図1で示したDMDの場合、1つのデータ線118と、1つの書き込み用走査線117aと、1つの消去用走査線117bとを有する領域が画素113に相当する。

【0060】

画素113はスイッチング用トランジスタ115aと、消去用トランジスタ115bと、複数のトランジスタを有するSRAM116とを有している。スイッチング用トランジスタ115aのゲート電極は書き込み用走査線117aに接続されている。また消去用トランジスタ115bのゲート電極は消去用走査線117bに接続されている。

【0061】

スイッチング用トランジスタ115aと消去用トランジスタ115bはシングルゲートでも良いし、ダブルゲートやトリプルゲートのようなマルチゲート構造を有していても良い。また、スイッチング用トランジスタ115aと消去用トランジスタ115bはnチャネル型トランジスタであっても良いし、pチャネル型トランジスタであっても良い。

【0062】

またスイッチング用トランジスタ115aのソース領域とドレイン領域は、一方はデータ線118に、もう一方はSRAM116の入力端子Vin及び第1ア

ドレス電極 1 0 2 a に接続されている。

【 0 0 6 3 】

S R A M 1 1 6 の出力端子 V o u t は第 2 アドレス電極 1 0 2 b と、消去用トランジスタ 1 1 7 b のソース領域またはドレイン領域に接続されている。

【 0 0 6 4 】

S R A M 1 1 6 は、入力端子における電位と出力端子における電位とが、グラウンドを基準として反転するような構成を有していれば良い。よって本発明で用いる S R A M 1 1 6 として、上記条件を満たす構成を有していれば、どのような S R A M をも用いることが可能である。V d d h は高電圧側の電源を意味し、V S S は低電圧側の電源を意味する。

【 0 0 6 5 】

また消去用トランジスタ 1 1 7 b のソース領域またはドレイン領域のうち、S R A M 1 1 6 の出力端子 V o u t に接続されていない方は、消去用電源 1 1 9 に接続されている。消去用電源 1 1 9 は、消去用電源 1 1 9 の電位が S R A M 1 1 6 の出力端子 V o u t に与えられたときに、画素が黒表示を行うような電位に保たれている。実際には、消去用電源 1 1 9 は、高電圧側の電源 V d d h と低電圧側の電源 V S S のいずれか一方と同じ電位に保たれている。

【 0 0 6 6 】

また図 2 において図示はしていないが、各画素ごとに第 1 アドレス電極 1 0 2 a と第 2 アドレス電極 1 0 2 b 上にマイクロミラーが設けられている。マイクロミラーは第 1 アドレス電極 1 0 2 a 及び第 2 アドレス電極 1 0 2 b に接触しないように設けられている。

【 0 0 6 7 】

次に図 2 に示した D M D の駆動について、図 3 を用いて説明する。図 3 において、横軸はタイムスケールを示しており縦軸は走査線の位置を示している。

【 0 0 6 8 】

図 2 に示した D M D において書き込み期間 T a 1 が開始される。書き込み期間 T a 1 が開始されると、書き込み用スキヤンドライバ 1 1 2 a から書き込み用走査線 1 1 7 a に入力される書き込み用走査信号によって、1 ライン目の画素のス

イッチング用トランジスタ 1 1 5 a が選択される。なお本明細書において、配線を選択するとは、該配線にゲート電極が接続されたトランジスタが全てオンの状態にあることを意味する。また 1 ライン目の画素とは、1 ライン目の書き込み用走査線 1 1 7 a にゲート電極が接続されたスイッチング用トランジスタ 1 1 5 a を有する画素を意味する。

【 0 0 6 9 】

そしてデータドライバ 1 1 1 からデータ線 1 1 8 に 1 ビット目のデジタルビデオ信号が入力される。入力された 1 ビット目のデジタルビデオ信号は、オンの状態のスイッチング用トランジスタ 1 1 5 a を介して第 1 アドレス電極 1 0 2 a 及び S R A M 1 1 6 の入力端子 V i n に入力される。S R A M 1 1 6 の入力端子 V i n に入力された 1 ビット目のデジタルビデオ信号は、グラウンドの電位を基準として反転し、1 ビット目の反転デジタルビデオ信号として出力端子 V o u t から出力され、第 2 アドレス電極 1 0 2 b に入力される。

【 0 0 7 0 】

第 1 アドレス電極 1 0 2 a と第 2 アドレス電極 1 0 2 b に、デジタルビデオ信号と反転デジタルビデオ信号がそれぞれ入力されると、デジタルビデオ信号の有する「1」または「0」の情報によって、画素が有するマイクロミラーの基板に対する角度が選択される。基板に対する角度が選択されると、光源からの光はスクリーンに照射されるか、光吸収板に照射されるかが選択される。

【 0 0 7 1 】

そして順に全てのラインの画素 1 1 3 にデジタルビデオ信号が入力され、マイクロミラーの角度が選択される。なお本明細書において、画素 1 1 3 にデジタルビデオ信号が入力されるとは、画素 1 1 3 が有するスイッチング用トランジスタ 1 1 5 のソース領域またはドレイン領域にデジタルビデオ信号が入力されることを意味する。

【 0 0 7 2 】

全ての画素にデジタルビデオ信号が入力されるまでの期間が書き込み期間 T a 1 である。

【 0 0 7 3 】

一方、書き込み期間 T_{a1} が終了する前に消去期間 T_{e1} が開始される。消去期間 T_{e1} が開始されると、消去用スキन्दライバ 112b から消去用走査線 117b に入力される消去用走査信号によって、1 ライン目の画素の消去用トランジスタ 115b が選択される。

【0074】

消去用トランジスタ 115b が選択されると、消去用電源の電位（以下、消去電位）が消去用トランジスタ 115b を介して SRAM 116 の出力端子 V_{out} と第 2 アドレス電極 102b に与えられる。

【0075】

SRAM 116 の出力端子 V_{out} に消去電位が与えられると、グラウンドの電位を基準にして反転した電位（反転消去電位）が SRAM 116 の入力端子 V_{in} に与えられる。

【0076】

消去電位と反転消去電位が SRAM 116 の出力端子 V_{out} と入力端子 V_{in} にそれぞれ与えられると、マイクロミラーが、光源からの光が光吸収板に照射される方向に傾き、画素は黒表示となる。

【0077】

そして順に全てのラインの画素の消去用トランジスタ 115b が選択され、黒表示となる。全ての消去用走査線 117b が選択されると消去期間 T_{e1} が終了する。

【0078】

一方、消去期間 T_{e1} が終了する前または終了した後に、再び書き込み期間 T_{a2} が開始され、2 ビット目のデジタルビデオ信号が画素に書き込まれる。

【0079】

上記動作は m ビット目のデジタルビデオ信号が画素に入力されるまで繰り返され、表示期間 T_r と非表示期間 T_d とが繰り返し出現する。なお、各ビットのデジタルビデオ信号によって実際に表示を行う表示期間 T_r は、各ラインの画素ごとに異なる。表示期間 $T_{r1} \sim T_{r(m-1)}$ は、スイッチング用トランジスタ 115a が選択されてから、次に同じ画素の消去用トランジスタ 115b が選択

されるまでの期間である。特に 1 ライン目の画素の表示期間 T_r は、書き込み期間 T_a が開始されてから次に出現する消去期間 T_e が開始されるまでの期間と同じである。

【 0 0 8 0 】

そして、黒表示を行う非表示期間 T_d も、各ラインの画素ごとに異なる。非表示期間 T_d は、消去用トランジスタ 115b が選択されてから、次にスイッチング用トランジスタ 115a が選択されるまでの期間である。特に 1 ライン目の画素の非表示期間 T_d は、消去期間 T_e が開始されてから次に出現する書き込み期間 T_a が開始されるまでの期間と同じである。

【 0 0 8 1 】

次に、書き込み期間 T_{am} が開始されると、 m ビット目のデジタルビデオ信号が画素に入力される。説明を簡便にするために、図 3 では $m = n - 2$ の場合を例にとって示すが、本発明はこれに限定されないのは言うまでもない。本発明において m は、1 から n までの値を任意に選択することが可能である。

【 0 0 8 2 】

そして、書き込み期間 T_{am} が終了した後、消去期間ではなく、次の書き込み期間 $T_{a(m+1)(n-1)}$ が開始される。書き込み期間 $T_{a(m+1)(n-1)}$ が開始されると、 $(m+1)(n-1)$ ビット目のデジタルビデオ信号が画素に入力される。

【 0 0 8 3 】

上述した動作を n ビット目のデジタルビデオ信号が画素に入力されるまで繰り返され、表示期間 T_r が連続して出現する。なお、各ビットのデジタルビデオ信号によって実際に表示を行う表示期間 T_r は、各ラインの画素ごとに異なる。表示期間 $T_{rm} \sim T_{rn}$ は、スイッチング用トランジスタ 115a が選択されてから、次に再び同じ画素のスイッチング用トランジスタ 115a が選択されるまでの期間である。特に 1 ライン目の画素の表示期間 T_r は、書き込み期間 T_a が開始されてから次に出現する書き込み期間 T_a が開始されるまでの期間と同じである。

【 0 0 8 4 】

全ての表示期間 $T_{r1} \sim T_{rn}$ が終了すると、1つの画像を表示することができる。本発明において、1つの画像が表示される期間を1フレーム期間 (F) と呼ぶ。なお本発明の駆動方法において、フレーム期間 (F) は各ラインの画素ごとに異なっている。最後のラインの画素のフレーム期間は、ほぼ書き込み期間 T_{a1} の長さ分だけ、1ライン目の画素のフレーム期間の開始より遅れて開始される。

【0085】

なお表示期間 T_{rn} が終了すると同時に次のフレーム期間の最初の書き込み期間 T_{a1} が開始され、再び上述した動作を繰り返す。

【0086】

一般に画像を表示するディスプレイは1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【0087】

また本発明では、全ての書き込み期間の長さの和が1フレーム期間の長さよりも短いことが重要である。なおかつ表示期間の長さを $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : T_{rn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ とすることが必要である。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0088】

1フレーム期間中にスクリーンに光が照射された表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示する階調がきまる。例えば、 $n=8$ のとき、全部の表示期間においてスクリーンに光が照射されたときの、画素が表示する明るさを100とすると、 T_{r1} と T_{r2} においてのみスクリーンに光が照射されたときに、画素は1の階調が表現でき、 T_{r3} と T_{r5} と T_{r8} においてのみスクリーンに光が照射されたときに、画素は60の階調が表現できる。

【0089】

m ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 T_{am} は

、表示期間 T_{rm} の長さよりも短いことが肝要である。よってビット数 m の値は、 $1 \sim n$ のうち、書き込み期間 T_{am} が表示期間 T_{rm} の長さよりも短くなるような値であることが必要である。

【0090】

また表示期間 $T_{r1} \sim T_{rn}$ は、どのような順序で出現させても良い。例えば1フレーム期間中において、 T_{r1} の次に T_{r3} 、 T_{r5} 、 T_{r2} 、…という順序で表示期間を出現させることも可能である。ただし、書き込み期間 $T_{a1} \sim T_{an}$ が互いに重ならない順序にすることが重要である。また消去期間 $T_{e1} \sim T_{en}$ も、互いに重ならない順序にすることが重要である。

【0091】

次に図4を用いて、マイクロミラーの駆動の仕組みについて具体的に説明する。マイクロミラー104は基準電源140に接続されている。基準電源140は常に一定の基準電位に保たれている。図4では説明をわかりやすくするために、基準電位が5Vの時について示したが、本発明において基準電位はこの値に限定されない。基準電位は、デジタルビデオ信号の H_i の電位と L_o の電位の間電位でなければ、どのような値もとることが可能である。

【0092】

第1アドレス電極102aにデジタルビデオ信号が入力され、第2アドレス電極102bには反転デジタルビデオ信号が入力される。なお図4では H_i のデジタルビデオ信号が+15V、 L_o のデジタルビデオ信号が-15Vの時について説明したが、本発明はこの数値に限定されない。

【0093】

なおデジタルビデオ信号は「0」または「1」の情報を有しており、「0」と「1」のデジタルビデオ信号は、一方が H_i 、一方が L_o の電圧を有する信号である。

【0094】

図4(A)では第1アドレス電極102aに H_i のデジタルビデオ信号が入力され、第2アドレス電極102bに L_o の反転デジタルビデオ信号が入力されている。この場合、マイクロミラー104と第1アドレス電極102aとの間の電

圧は10Vとなる。また、マイクロミラー104と第2アドレス電極102bとの間の電圧は20Vとなる。よって電界の作用により、マイクロミラー104は基準面から第2アドレス電極102b側に角度 θ だけ傾く。なお、第1及び第2アドレス電極102a、102bにデジタルビデオ信号が入力されていない状態におけるマイクロミラー104が、基準面となる。基準面は基板と並行である。

【0095】

図4(B)では第1アドレス電極102aにLoのデジタルビデオ信号が入力され、第2アドレス電極102bにHiの反転デジタルビデオ信号が入力されている。この場合、マイクロミラー104と第1アドレス電極102aとの間の電圧は20Vとなる。また、マイクロミラー104と第2アドレス電極102bとの間の電圧は10Vとなる。よって電界の作用により、マイクロミラー104は第1アドレス電極102a側に角度 θ だけ傾く。

【0096】

DMDは約15 μ secという高速なスイッチングを行うことが可能であり、時分割階調表示に適している。

【0097】

本発明は上述した構成によって、画素へデジタルビデオ信号を順に入力すると並行して、画素を順に黒表示の状態にさせることができる。つまり、本発明のDMDの時分割階調表示では、従来のDMDの時分割階調表示に比べて、従来のサブフレーム期間に相当する表示期間の長さを短くすることが可能になる。そのため、デジタルビデオ信号を画素へ書き込む速度が従来と同じであっても、画像の階調数をより高くすることが可能になる。

【0098】

【実施例】

以下に、本発明の実施例について説明する。

【0099】

(実施例1)

本実施例では、本発明のDMDにおいて、6ビットのデジタルビデオ信号により 2^6 階調の表示を行う場合について図5を用いて説明する。なお本実施例のD

MDは、図2、図4に示した構造を有する。図5において、横軸はタイムスケールを示しており縦軸は走査線の位置を示している。

【0100】

まず、書き込み期間 T_{a1} が開始される。書き込み期間 T_{a1} が開始されると、書き込み用スキャンドライバ112aから書き込み用走査線117aに入力される書き込み用走査信号によって、1ライン目の画素のスイッチング用トランジスタ115aが選択される。

【0101】

そしてデータドライバ111からデータ線118に1ビット目のデジタルビデオ信号が入力される。入力された1ビット目のデジタルビデオ信号は、オンの状態のスイッチング用トランジスタ115aを介して第1アドレス電極102a及びSRAM116の入力端子 V_{in} に入力される。SRAM116の入力端子 V_{in} に入力された1ビット目のデジタルビデオ信号は、グラウンドの電位を基準として反転し、1ビット目の反転デジタルビデオ信号として出力端子 V_{out} から出力され、第2アドレス電極102bに入力される。

【0102】

第1アドレス電極102aと第2アドレス電極102bに、デジタルビデオ信号と反転デジタルビデオ信号がそれぞれ入力されると、デジタルビデオ信号の有する「1」または「0」の情報によって、画素が有するマイクロミラー104の基板に対する角度が選択される。基板に対する角度が選択されることによって、光源からの光はスクリーンに照射されるか、光吸収板に照射されるかが選択される。

【0103】

そして順に全てのラインの画素113にデジタルビデオ信号が入力され、マイクロミラーの角度が選択される。全ての画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間 T_{a1} である。

【0104】

一方、書き込み期間 T_{a1} が終了する前に消去期間 T_{e1} が開始される。消去期間 T_{e1} が開始されると、消去用スキャンドライバ112bから消去用走査線

1 1 7 b に入力される消去用走査信号によって、1 ライン目の画素の消去用トランジスタ 1 1 5 b が選択される。

【0 1 0 5】

消去用トランジスタ 1 1 5 b が選択されると、消去用電源の電位（以下、消去電位）が消去用トランジスタ 1 1 5 b を介して S R A M 1 1 6 の出力端子 V o u t と第 2 アドレス電極 1 0 2 b に与えられる。

【0 1 0 6】

S R A M 1 1 6 の出力端子 V o u t に消去電位が与えられると、グラウンドの電位を基準にして反転した電位（反転消去電位）が、S R A M 1 1 6 の入力端子 V i n に与えられる。

【0 1 0 7】

消去電位と反転消去電位が S R A M 1 1 6 の出力端子 V o u t と入力端子 V i n にそれぞれ与えられると、光源からの光が光吸収板に照射される方向にマイクロミラーが傾き、画素は黒表示となる。

【0 1 0 8】

そして順に全てのラインの画素の消去用トランジスタ 1 1 5 b が選択され、黒表示となる。全ての消去用走査線 1 1 7 b が選択されると消去期間 T e 1 が終了する。

【0 1 0 9】

一方、消去期間 T e 1 が終了する前または終了した後に、再び書き込み期間 T a 2 が開始され、2 ビット目のデジタルビデオ信号が画素に書き込まれ、マイクロミラー 1 0 4 の角度が選択される。

【0 1 1 0】

上記動作は 5 ビット目のデジタルビデオ信号が画素に入力されるまで繰り返され、表示期間 T r と非表示期間 T d とが繰り返し出現する。なお、各ビットのデジタルビデオ信号によって実際に表示を行う表示期間 T r は、各ラインの画素ごとに異なる。表示期間 T r 1 ~ T r 4 は、スイッチング用トランジスタ 1 1 5 a が選択されてから、次に同じ画素の消去用トランジスタ 1 1 5 b が選択されるまでの期間である。特に 1 ライン目の画素の表示期間 T r は、書き込み期間 T a が

開始されてから次に出現する消去期間 T_e が開始されるまでの期間と同じである。

【0 1 1 1】

そして、全ての画素が黒表示を行う非表示期間 $T_{d1} \sim T_{d4}$ も、各ラインの画素ごとに異なる。非表示期間 T_d は、消去用トランジスタ 1 1 5 b が選択されてから、次にスイッチング用トランジスタ 1 1 5 a が選択されるまでの期間である。特に 1 ライン目の画素の非表示期間 T_d は、消去期間 T_e が開始されてから次に出現する書き込み期間 T_a が開始されるまでの期間と同じである。

【0 1 1 2】

次に、書き込み期間 T_{a5} が開始されると、5 ビット目のデジタルビデオ信号が画素に入力される。そして、書き込み期間 T_{a5} が終了した後、消去期間ではなく、次の書き込み期間 T_{a6} が開始される。書き込み期間 T_{a6} が開始されると、6 ビット目のデジタルビデオ信号が画素に入力される。

【0 1 1 3】

上述したように、表示期間 T_{r5} と T_{r6} は連続して出現する。なお、各ビットのデジタルビデオ信号によって実際に表示を行う表示期間 T_r は、各ラインの画素ごとに異なる。表示期間 T_{r5} 、 T_{r6} は、スイッチング用トランジスタ 1 1 5 a が選択されてから、次に再び同じスイッチング用トランジスタ 1 1 5 a が選択されるまでの期間である。特に 1 ライン目の画素の表示期間 T_r は、書き込み期間 T_a が開始されてから次に出現する書き込み期間 T_a が開始されるまでの期間と同じである。

【0 1 1 4】

全ての表示期間 $T_{r1} \sim T_{r6}$ が終了すると、1 つの画像を表示することができる。

【0 1 1 5】

なお表示期間 T_{r6} が終了すると同時に 1 フレーム期間が終了し、次のフレーム期間の最初の書き込み期間 T_{a1} が開始され、再び上述した動作を繰り返す。

【0 1 1 6】

本実施例において表示期間の長さは $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r6} = 2$

$0 : 2^1 : 2^2 : \dots : 2^5$ とすることが必要である。この表示期間の組み合わせで 2^6 階調のうち所望の階調表示を行うことができる。

【 0 1 1 7 】

1 フレーム期間中にスクリーンに光が照射された表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示する階調がきまる。例えば、本実施例の場合、全部の表示期間においてスクリーンに光が照射されたときの、画素が表示する明るさを 1 0 0 とすると、T r 1 と T r 2 においてのみスクリーンに光が照射されたときに画素は 5 の階調が表現でき、T r 3 と T r 5 においてのみスクリーンに光が照射されたときに画素は 3 2 の階調が表現できる。

【 0 1 1 8 】

本実施例において、5 ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 T a 5 は、表示期間 T r 5 の長さよりも短いことが肝要である。

【 0 1 1 9 】

また表示期間 T r 1 ~ T r 6 は、どのような順序で出現させても良い。例えば 1 フレーム期間中において、T r 1 の次に T r 3、T r 5、T r 2、…という順序で表示期間を出現させることも可能である。ただし、書き込み期間 T a 1 ~ T a 6 が互いに重ならない順序にすることが重要である。また消去期間 T e 1 ~ T e 6 も、互いに重ならない順序にすることが重要である。

【 0 1 2 0 】

本発明の DMD の時分割階調表示では、従来の DMD の時分割階調表示に比べて、従来のサブフレーム期間に相当する表示期間の長さを短くすることが可能になる。そのため、デジタルビデオ信号を画素へ書き込む速度が従来と同じであっても、画像の階調数をより高くすることが可能になる。

【 0 1 2 1 】

(実施例 2)

本実施例では、6 ビットのデジタルビデオ信号に対応した本発明の駆動方法において、表示期間 T r 1 ~ T r 6 の出現する順序について説明する。

【 0 1 2 2 】

図 6 に本実施例の駆動方法を示すタイミングチャートを示す。画素の詳しい駆動の仕方については実施例 1 を参照すれば良いので、ここでは省略する。本実施例の駆動方法では、1 フレーム期間中で 1 番長い非表示期間（本実施例では T_{d1} ）を 1 フレーム期間の最後に設ける。上記構成によって、非表示期間 T_{d1} と、次のフレーム期間の最初の表示期間（本実施例では T_{r4} ）との間にフレーム期間の区切れがあるように人間の目に映る。これによって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【 0 1 2 3 】

なお本実施例では、6 ビットのデジタルビデオ信号の場合について説明したが、本発明はこれに限定されない。本実施例はデジタルビデオ信号のビット数に限定されることなく実施することが可能である。

【 0 1 2 4 】

（実施例 3）

本実施例では、本発明の DMD において、4 ビットのデジタルビデオ信号により 2^4 階調の表示を行う場合について図 7 を用いて説明する。図 7 において、横軸はタイムスケールを示しており縦軸は走査線の位置を示している。なお本実施例の DMD は、図 2、図 4 に示した構造を有する。

【 0 1 2 5 】

まず、書き込み期間 T_{a1} が開始される。書き込み期間 T_{a1} が開始されると、書き込み用スキャンドライバ 112a から書き込み用走査線 117a に入力される書き込み用走査信号によって、1 ライン目の画素のスイッチング用トランジスタ 115a が選択される。なお本明細書において、配線を選択するとは、該配線にゲート電極が接続されたトランジスタが全てオンの状態にあることを意味する。また 1 ライン目の画素とは、1 ライン目の書き込み用走査線にゲート電極が接続されたスイッチング用トランジスタを有する画素を意味する。

【 0 1 2 6 】

そしてデータドライバ 111 からデータ線 118 に 1 ビット目のデジタルビデオ信号が入力される。入力された 1 ビット目のデジタルビデオ信号は、オンの状

態のスイッチング用トランジスタ 1 1 5 a を介して第 1 アドレス電極 1 0 2 a 及び S R A M 1 1 6 の入力端子 V i n に入力される。S R A M 1 1 6 の入力端子 V i n に入力された 1 ビット目のデジタルビデオ信号は、グラウンドの電位を基準として反転し、1 ビット目の反転デジタルビデオ信号として出力端子 V o u t から出力され、第 2 アドレス電極 1 0 2 b に入力される。

【 0 1 2 7 】

第 1 アドレス電極 1 0 2 a と第 2 アドレス電極 1 0 2 b に、デジタルビデオ信号と反転デジタルビデオ信号がそれぞれ入力されると、デジタルビデオ信号の有する「1」または「0」の情報によって、画素が有するマイクロミラー 1 0 4 の基板に対する角度が選択される。基板に対する角度が選択されることによって、光源からの光はスクリーンに照射されるか、光吸収板に照射されるかが選択される。

【 0 1 2 8 】

そして順に全てのラインの画素 1 1 3 にデジタルビデオ信号が入力され、マイクロミラーの角度が選択される。全ての画素に 1 ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間 T a 1 である。

【 0 1 2 9 】

一方、書き込み期間 T a 1 が終了する前に消去期間 T e 1 が開始される。消去期間 T e 1 が開始されると、消去用スキヤンドライバ 1 1 2 b から消去用走査線 1 1 7 b に入力される消去用走査信号によって、1 ライン目の画素の消去用トランジスタ 1 1 5 b が選択される。

【 0 1 3 0 】

消去用トランジスタ 1 1 5 b が選択されると、消去用電源の電位（以下、消去電位）が消去用トランジスタ 1 1 5 b を介して S R A M 1 1 6 の出力端子 V o u t と第 2 アドレス電極 1 0 2 b に与えられる。

【 0 1 3 1 】

S R A M 1 1 6 の出力端子 V o u t に消去電位が与えられると、グラウンドの電位を基準にして反転した電位（反転消去電位）が、S R A M 1 1 6 の入力端子 V i n に与えられる。

【0132】

消去電位と反転消去電位がSRAM116の出力端子Voutと入力端子Vinにそれぞれ与えられると、光源からの光が光吸収板に照射されるようにマイクロミラーが傾き、画素は黒表示となる。

【0133】

そして順に全てのラインの画素の消去用トランジスタ115bが選択され、黒表示となる。全ての消去用走査線117bが選択されると消去期間Te1が終了する。

【0134】

一方、消去期間Te1が終了する前または終了した後に、再び書き込み期間Ta2が開始され、2ビット目のデジタルビデオ信号が画素に書き込まれ、同様にマイクロミラー104の角度が選択される。

【0135】

1ビット目と2ビット目のデジタルビデオ信号によって実際に表示を行う表示期間Tr1、Tr2は、各ラインの画素ごとに異なる。表示期間Tr1、Tr2は、スイッチング用トランジスタ115aが選択されてから、次に同じ画素の消去用トランジスタ115bが選択されるまでの期間である。特に1ライン目の画素の表示期間Trは、書き込み期間Taが開始されてから次に出現する消去期間Teが開始されるまでの期間と同じである。

【0136】

そして、全ての画素が黒表示を行う非表示期間Td1、Td2も、各ラインの画素ごとに異なる。非表示期間Tdは、消去用トランジスタ115bが選択されてから、次に同じスイッチング用トランジスタ115aが選択されるまでの期間である。特に1ライン目の画素の非表示期間Tdは、消去期間Teが開始されてから次に出現する書き込み期間Taが開始されるまでの期間と同じである。

【0137】

次に、書き込み期間Ta3が開始されると、3ビット目のデジタルビデオ信号が画素に入力される。そして、書き込み期間Ta3が終了した後、消去期間ではなく、次の書き込み期間Ta4が開始される。書き込み期間Ta4が開始される

と、4ビット目のデジタルビデオ信号が画素に入力される。

【0138】

上述したように、表示期間 T_{r3} と T_{r4} は連続して出現する。なお、各ビットのデジタルビデオ信号によって実際に表示を行う表示期間 T_r は、各ラインの画素ごとに異なる。表示期間 T_{r3} 、 T_{r4} は、スイッチング用トランジスタ115aが選択されてから、次に再び同じスイッチング用トランジスタ115aが選択されるまでの期間である。特に1ライン目の画素の表示期間 T_r は、書き込み期間 T_a が開始されてから次に出現する書き込み期間 T_a が開始されるまでの期間と同じである。

【0139】

全ての表示期間 $T_{r1} \sim T_{r4}$ が終了すると、1つの画像を表示することができる。

【0140】

なお表示期間 T_{r4} が終了すると同時に1フレーム期間が終了し、次のフレーム期間の最初の書き込み期間 T_{a1} が開始され、再び上述した動作を繰り返す。

【0141】

本実施例において表示期間の長さは $T_{r1} : T_{r2} : T_{r3} : T_{r4} = 2^0 : 2^1 : 2^2 : 2^3$ とすることが必要である。この表示期間の組み合わせで 2^4 階調のうち所望の階調表示を行うことができる。

【0142】

1フレーム期間中にスクリーンに光が照射された表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示する階調がきまる。例えば、本実施例の場合、全部の表示期間においてスクリーンに光が照射されたときの、画素が表示する明るさを100とすると、 T_{r1} と T_{r2} においてのみスクリーンに光が照射されたときに画素は20の階調が表現でき、 T_{r3} においてのみスクリーンに光が照射されたときに画素は27の階調が表現できる。

【0143】

本実施例において、3ビット目、4ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 T_{a3} 、 T_{a4} は、表示期間 T_{r3} 、 T_{r4} の長さより

もそれぞれ短いことが肝要である。

【0144】

また表示期間 (Tr 1 ~ Tr 4) は、どのような順序で出現させても良い。例えば1フレーム期間中において、Tr 1の次にTr 3、Tr 4、Tr 2という順序で表示期間を出現させることも可能である。ただし、消去期間 (Te 1 ~ Te 4) が互いに重ならない順序であることが重要である。また表示期間 (Tr 1 ~ Tr 4) も互いに重ならない順序であることが重要である。

【0145】

本発明のDMDの時分割階調表示では、従来のDMDの時分割階調表示に比べて、従来のサブフレーム期間に相当する表示期間の長さを短くすることが可能になる。そのため、デジタルビデオ信号を画素へ書き込む速度が従来と同じであっても、画像の階調数をより高くすることが可能になる。

【0146】

なお本実施例は、実施例2と組み合わせて実施することが可能である。

【0147】

(実施例4)

本実施例では、DMDの画素の詳しい構成について説明する。

【0148】

図8に本発明で用いられるDMDのがその一例を示す。104はマイクロミラーであり、マイクロミラー支持ポスト122によりヨーク123の支持ポスト接続部124に接続されている。

【0149】

ヨーク123はヒンジ105に保持されている。ヒンジ105はポストキャップ125に保持されている。ポストキャップ125はヒンジ支持ポスト106によってバイアスバス129のヒンジ支持ポスト接続部128に接続されている。バイアスバス129は着地サイト103を有している。着地サイト103は絶縁性を有しているか、マイクロミラー104と同じ電位に保たれている。

【0150】

102aは第1アドレス電極であり、102bは第2アドレス電極である。第

1 アドレス電極 1 0 2 a は電極支持ポスト 1 3 0 によって、第 1 アドレス電極パッド 1 2 6 a の電極支持ポスト接続部 1 3 1 に接続されている。また第 2 アドレス電極 1 0 2 b も電極支持ポスト 1 3 0 によって、第 2 アドレス電極パッド 1 2 6 b の電極支持ポスト接続部 1 3 1 に接続されている。

【 0 1 5 1 】

第 1 接続部 1 2 7 a から第 1 アドレス電極パッド 1 2 6 a に入力されるデジタルビデオ信号は、第 1 アドレス電極 1 0 2 a に入力される。第 2 接続部 1 2 7 b から第 2 アドレス電極パッド 1 2 6 b に入力される反転デジタルビデオ信号は、第 2 アドレス電極 1 0 2 b に入力される。

【 0 1 5 2 】

第 1 アドレス電極 1 0 2 a と第 2 アドレス電極 1 0 2 b にデジタルビデオ信号と反転デジタルビデオ信号とがそれぞれ入力されることによって、マイクロミラー 1 0 4 が傾き、白表示または黒表示が選択される。マイクロミラー 1 0 4 が傾くことで、ヨーク片 1 3 2 の一部が着地サイト 1 0 3 に接触しても良い。

【 0 1 5 3 】

本実施例は、実施例 1 ～ 3 と自由に組み合わせて実施することが可能である。

【 0 1 5 4 】

(実施例 5)

本実施例では、本発明において用いられる S R A M の構造について説明する。

【 0 1 5 5 】

図 9 に S R A M の回路図の一例を示す。S R A M は p チャネル型トランジスタと n チャネル型トランジスタを 2 つづつ有しており、p チャネル型トランジスタのソース領域は高電圧側の電源 V_{ddh} に、n チャネル型トランジスタのソース領域は低電圧側の電源 V_{ss} に、それぞれ接続されている。1 つの p チャネル型トランジスタと 1 つの n チャネル型トランジスタとが対になっており、1 つの S R A M の中に p チャネル型トランジスタと n チャネル型トランジスタとの対が 2 組存在することになる。

【 0 1 5 6 】

対になった p チャネル型トランジスタと n チャネル型トランジスタは、そのド

レイン領域が互いに接続されている。また対になった p チャンネル型トランジスタと n チャンネル型トランジスタは、そのゲート電極が互いに接続されている。そして互いに一方の対の p チャンネル型及び n チャンネル型トランジスタのドレイン領域が、もう一方の対の p チャンネル型及び n チャンネル型トランジスタのゲート電極と同じ電位に保たれている。そして一方の対の p チャンネル型及び n チャンネル型トランジスタのドレイン領域は入力端子 (V_{in}) に接続されており、もう一方の対の p チャンネル型及び n チャンネル型トランジスタのドレイン領域は出力端子 (V_{out}) に接続されている。

【 0 1 5 7 】

S R A M は V_{in} における電位と、 V_{out} における電位とが、グラウンドを基準として反転する。つまり、 V_{in} が H i だと V_{out} は V_{ss} 相当の L o の信号となり、 V_{in} が L o だと V_{out} は V_{ddh} 相当の H i の信号となる。

【 0 1 5 8 】

次に、本発明で用いられる S R A M の、図 9 とは異なる構成について説明する。

【 0 1 5 9 】

図 1 0 (A) に本実施例の S R A M の等価回路図を示す。S R A M は p チャンネル型トランジスタと抵抗とを 2 つづつ有している。1 つの p チャンネル型トランジスタと 1 つの抵抗とが対になっており、1 つの S R A M の中に p チャンネル型トランジスタと抵抗との対が 2 組存在することになる。そして、p チャンネル型トランジスタのソース領域は高電圧側の電源 V_{ddh} に、ドレイン領域は抵抗を介して低電圧側の電源 V_{ss} にそれぞれ接続されている。

【 0 1 6 0 】

p チャンネル型トランジスタのドレイン領域は、互いに他の p チャンネル型トランジスタのゲート電極と同じ電位に保たれている。そして一方の p チャンネル型トランジスタのドレイン領域は入力端子 (V_{in}) に接続されており、もう一方の p チャンネル型トランジスタのドレイン領域は出力端子 (V_{out}) に接続されている。

【 0 1 6 1 】

S R A M は V_{in} における電位と、 V_{out} における電位とが、グラウンドを基準として反転する。つまり、 V_{in} が H_i だと V_{out} は V_{ss} 相当の L_o の信号となり、 V_{in} が L_o だと V_{out} は V_{ddh} 相当の H_i の信号となる。

【 0 1 6 2 】

本実施例の S R A M は、抵抗を p チャンネル型トランジスタと同時に形成することが可能なので、n チャンネル型トランジスタを形成する必要がなく、図 9 で示した S R A M に比べて行程数を削減することができる。

【 0 1 6 3 】

図 1 0 (B) に本実施例の S R A M の等価回路図を示す。S R A M は n チャンネル型トランジスタと抵抗とを 2 つづつ有している。1 つの n チャンネル型トランジスタと 1 つの抵抗とが対になっており、1 つの S R A M の中に n チャンネル型トランジスタと抵抗との対が 2 組存在することになる。そして、n チャンネル型トランジスタのドレイン領域は高電圧側の電源 V_{ddh} に、ソース領域は抵抗を介して低電圧側の電源 V_{ss} にそれぞれ接続されている。

【 0 1 6 4 】

n チャンネル型トランジスタのドレイン領域は、互いに他の n チャンネル型トランジスタのゲート電極と同じ電位に保たれている。そして一方の n チャンネル型トランジスタのドレイン領域は入力端子 (V_{in}) に接続されており、もう一方の n チャンネル型トランジスタのドレイン領域は出力端子 (V_{out}) に接続されている。

【 0 1 6 5 】

S R A M は V_{in} における電位と、 V_{out} における電位とが、グラウンドを基準として反転する。つまり、 V_{in} が H_i だと V_{out} は V_{ss} 相当の L_o の信号となり、 V_{in} が L_o だと V_{out} は V_{ddh} 相当の H_i の信号となる。

【 0 1 6 6 】

本実施例の S R A M は、抵抗を n チャンネル型トランジスタと同時に形成することが可能なので、p チャンネル型トランジスタを形成する必要がなく、図 9 で示した S R A M に比べて行程数を削減することができる。

【 0 1 6 7 】

なお本発明で用いることが可能な S R A M は、上記構成に限定されない。V i n における電位と、V o u t における電位とが、グラウンドを基準として反転するような構成を有していれば、どのような S R A M でも用いることが可能である。

【 0 1 6 8 】

(実施例 6)

本実施例では、本発明の D M D を用いたプロジェクター (D L P) について説明する。

【 0 1 6 9 】

図 1 1 (A) に示すのは、D M D を 1 つだけ用いた、1 チップ方式のプロジェクターの概略図である。光源 8 0 1、コンデンサレンズ 8 0 2、8 0 3、回転カラーホイール 8 0 4、D M D 8 0 5、投射レンズ 8 0 6、光吸収板 8 0 7、スクリーン 8 0 8 が図 1 1 に示すように設けられている。

【 0 1 7 0 】

D M D 8 0 5 は、入力されたデジタルビデオ信号が有する情報によって、光源 8 0 1 から発せられる光を、スクリーン 8 0 8 または光吸収板 8 0 7 に照射する。

【 0 1 7 1 】

図 1 1 (B) は回転カラーホイール 8 0 4 の構成を示す図であり、R (赤)、G (緑)、B (青) の 3 色のカラーフィルターを有している。R (赤) の画像と、G (緑) の画像と、B (青) の画像とを連続してスクリーン 8 0 8 上に投影し、1 つのカラー画像を形成している。

【 0 1 7 2 】

図 1 1 (C) は回転カラーホイール 8 0 4 の図 1 1 (B) とは異なる構成を示す図であり、R (赤)、G (緑)、B (青)、W (透明) の 3 色のカラーフィルターを有している。R (赤) の画像と、G (緑) の画像と、B (青) の画像とを連続してスクリーン 8 0 8 上に投影し、1 つのカラー画像を形成している。図 1 1 (C) に示す回転カラーホイールは、図 1 1 (B) に示す回転カラーホイールと異なり W (透明) のカラーフィルターを有している。この透明のカラーフィル

ターを設けることで、図 1 1 (B) に示す回転カラーホイールよりも輝度を約 3 7 % 上げることが可能になる。

【 0 1 7 3 】

1 チップ方式のプロジェクターは、DMD の数は 1 つで済むため、DLP のコストを抑えることができる。

【 0 1 7 4 】

次に、DMD を 2 つ用いた、2 チップ方式のプロジェクターの概略図を図 1 2 (A) に示す。光源 8 1 1、コンデンサレンズ 8 1 2、回転カラーホイール 8 1 3、赤用 DMD 8 1 4、青・緑用 DMD 8 1 5、色分解／色結合プリズム 8 1 6、投射レンズ 8 1 7、スクリーン 8 1 8 が図 1 2 (A) に示すように設けられている。

【 0 1 7 5 】

なお図 1 2 (A) では光吸収板を図示しなかったが、赤用 DMD 8 1 4 と青・緑用 DMD 8 1 5 のそれぞれについて、光吸収板を設けている。赤用 DMD 8 1 4 と青・緑用 DMD 8 1 5 は、入力されたデジタルビデオ信号が有する情報によって、光源 8 1 1 から発せられる光を、スクリーン 8 1 8 または光吸収板に照射する。

【 0 1 7 6 】

回転カラーホイール 8 1 3 は、マゼンダ、イエローのカラーフィルターを有している。

【 0 1 7 7 】

光源 8 1 1 からの光は常に回転カラーホイール 8 1 3 を通過している。回転カラーホイール 8 1 3 を通過した光のうち、赤色の光は色分解／色結合プリズム 8 1 6 によって分離され、赤用 DMD 8 1 4 に照射されている。赤用 DMD 8 1 4 において反射した光のうち、画像の形成に用いられる光は投射レンズ 8 1 7 に入射する。このように赤色の画像については、1 フレーム期間を用いて時分割階調表示を行っている。

【 0 1 7 8 】

また、青色と緑色の光は、それぞれマゼンダとイエローのカラーフィルターに

よって分離され、色分解／色結合プリズム 8 1 6 によって青色、緑色用 DMD 8 1 5 に送られる。そしてそれぞれの色について、1 フレーム期間の半分の期間を用いて時分割階調表示を行っている。

【0 1 7 9】

次に、DMD を 3 つ用いた、3 チップ方式のプロジェクターの概略図を図 1 2 (B) に示す。光源 8 2 1、コンデンサレンズ 8 2 2、緑用 DMD 8 2 3、赤用 DMD 8 2 4、青用 DMD 8 2 5、色分解／色結合プリズム 8 2 6、投射レンズ 8 2 7、スクリーン 8 2 8 が図 1 2 (A) に示すように設けられている。

【0 1 8 0】

なお図 1 2 (B) では光吸収板を図示しなかったが、緑用 DMD 8 2 3、赤用 DMD 8 2 4、青用 DMD 8 2 5 のそれぞれについて光吸収板を設けている。緑用 DMD 8 2 3、赤用 DMD 8 2 4、青用 DMD 8 2 5 は、入力されたデジタルビデオ信号が有する情報によって、光源 8 2 1 から発せられる光を、スクリーン 8 2 8 または光吸収板に照射する。

【0 1 8 1】

3 チップ方式のプロジェクターの場合、光源 8 2 1 からの光を RGB それぞれ専用の DMD で反射させ、投射レンズで加法混色してカラー画像を表示する。この方式は、高画質で高効率であり、主にハイエンドプロジェクターに用いられる。

【0 1 8 2】

本実施例は、実施例 1 ～ 5 と自由に組み合わせて実施することが可能である。

【0 1 8 3】

【発明の効果】

本発明の DMD では、従来の DMD の時分割階調表示に比べて、従来のサブフレーム期間に相当する表示期間の長さを短くすることが可能になる。そのため、デジタルビデオ信号を画素へ書き込む速度が従来と同じであっても、画像の階調数をより高くすることが可能になる。

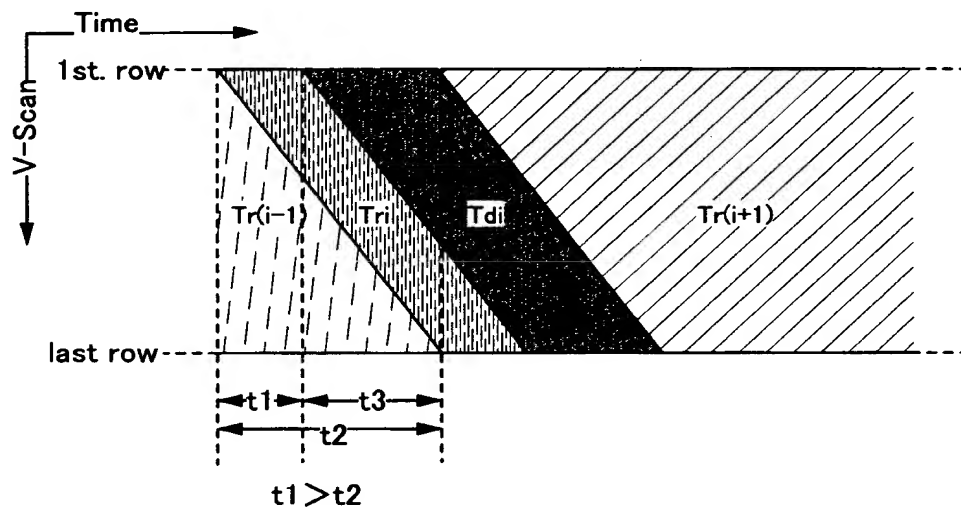
【図面の簡単な説明】

【図 1】 本発明の DMD の駆動方法を簡単に示す図。

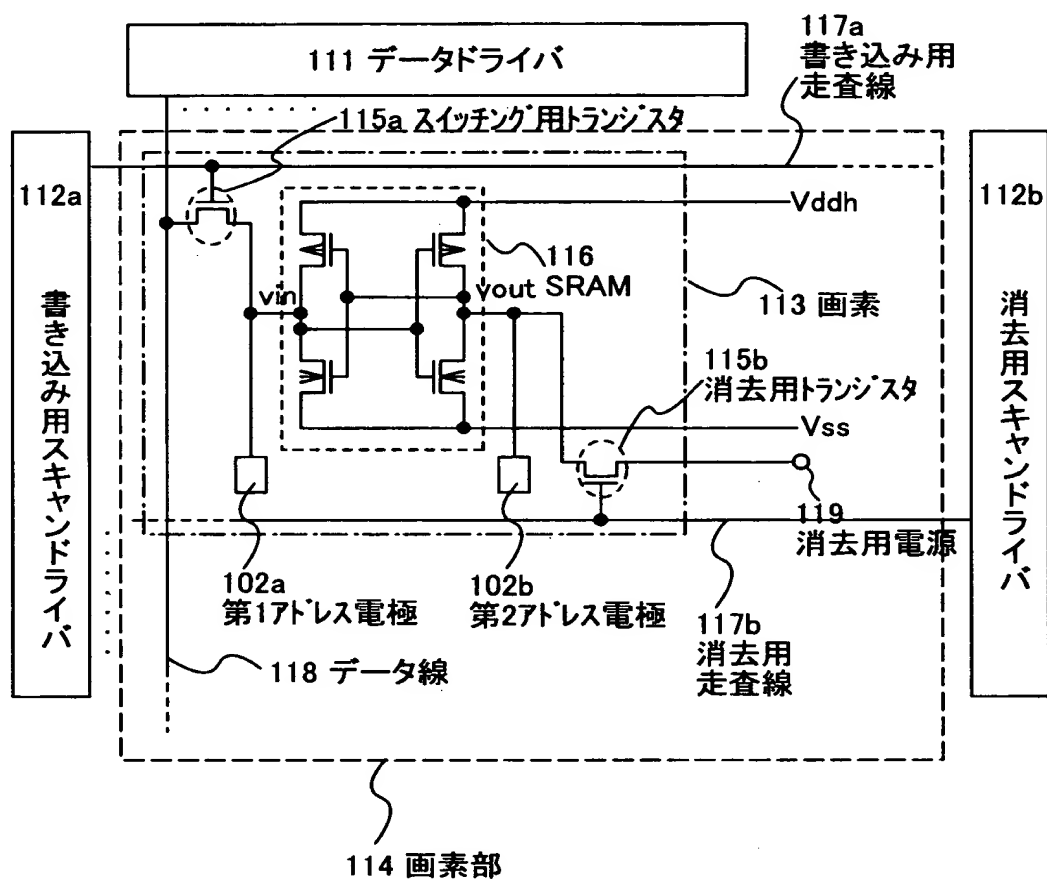
- 【図 2】 本発明の DMD の画素部と駆動回路を示す図。
- 【図 3】 本発明の DMD の駆動方法を示す図。
- 【図 4】 DMD のマイクロミラーの駆動を示す図。
- 【図 5】 本発明の DMD の駆動方法を示す図。
- 【図 6】 本発明の DMD の駆動方法を示す図。
- 【図 7】 本発明の DMD の駆動方法を示す図。
- 【図 8】 本発明の DMD の構成を示す図。
- 【図 9】 S R A M の等価回路図。
- 【図 1 0】 S R A M の等価回路図。
- 【図 1 1】 本発明の DMD を有する D L P 及び回転カラーホイールの図。
- 【図 1 2】 本発明の DMD を有する D L P の図。
- 【図 1 3】 DMD の構成を簡単に示した図。
- 【図 1 4】 従来の DMD の画素部と駆動回路を示す図。
- 【図 1 5】 従来の DMD の駆動方法を簡単に示す図。
- 【図 1 6】 従来の DMD の駆動方法の問題点を説明するための図。

【書類名】 図面

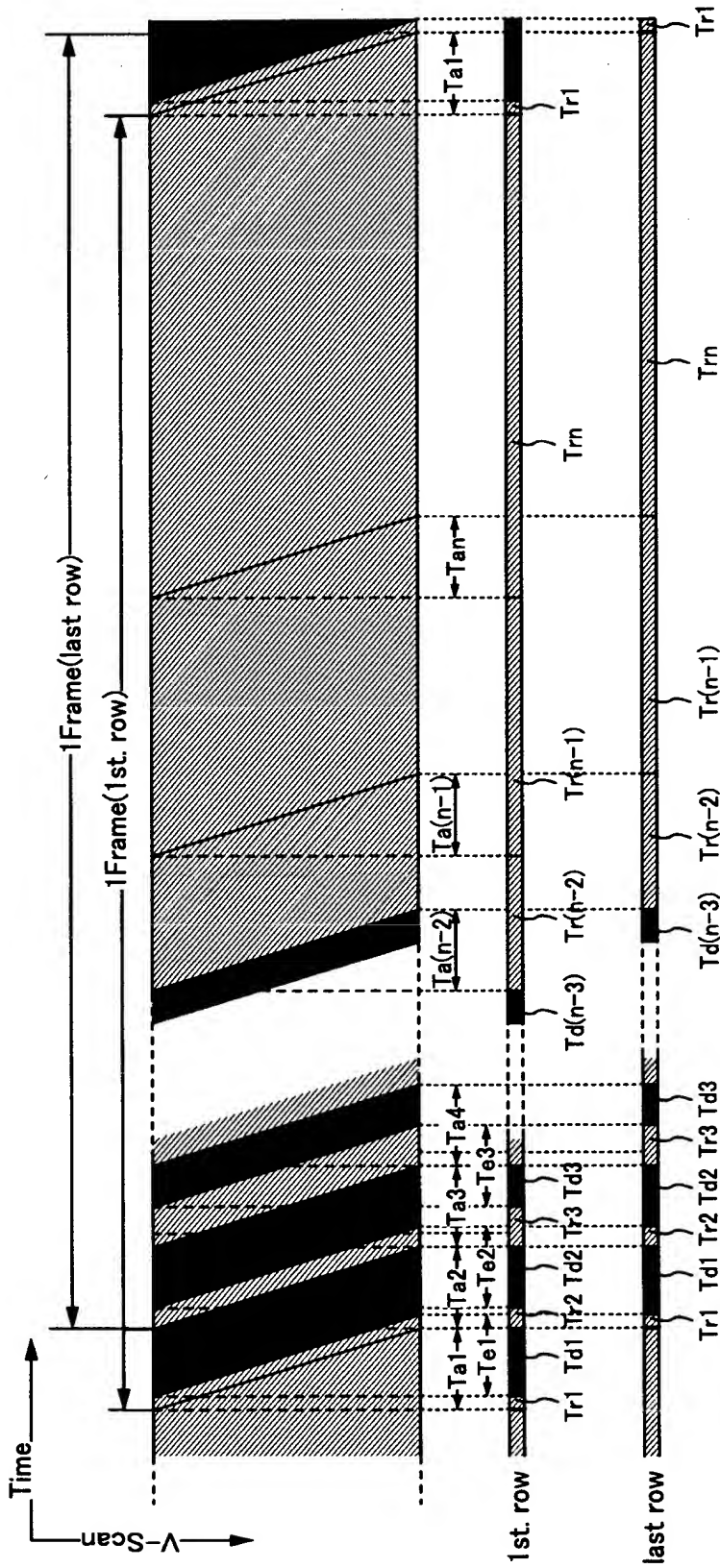
【図 1】



【图 2】

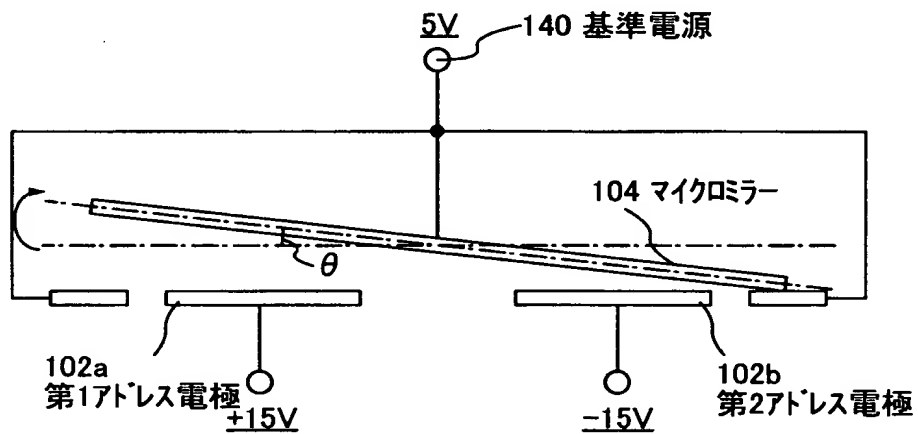


【図 3】

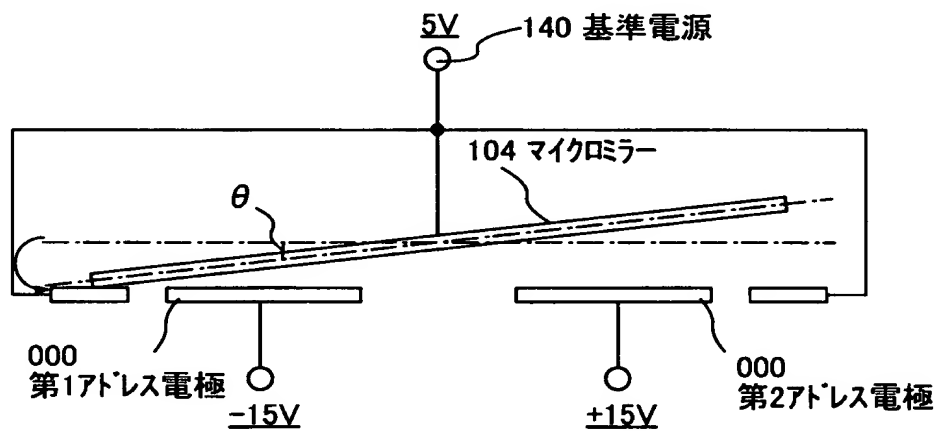


【図4】

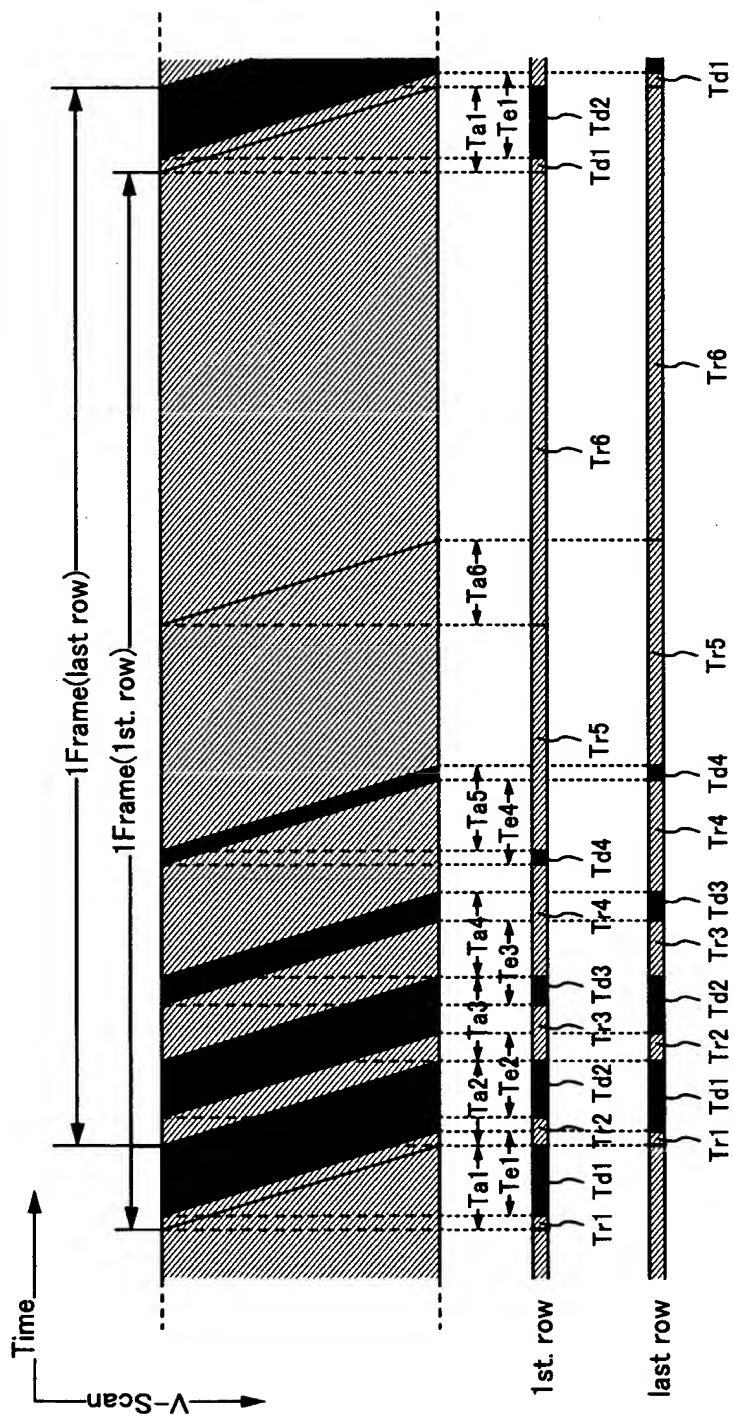
(A)



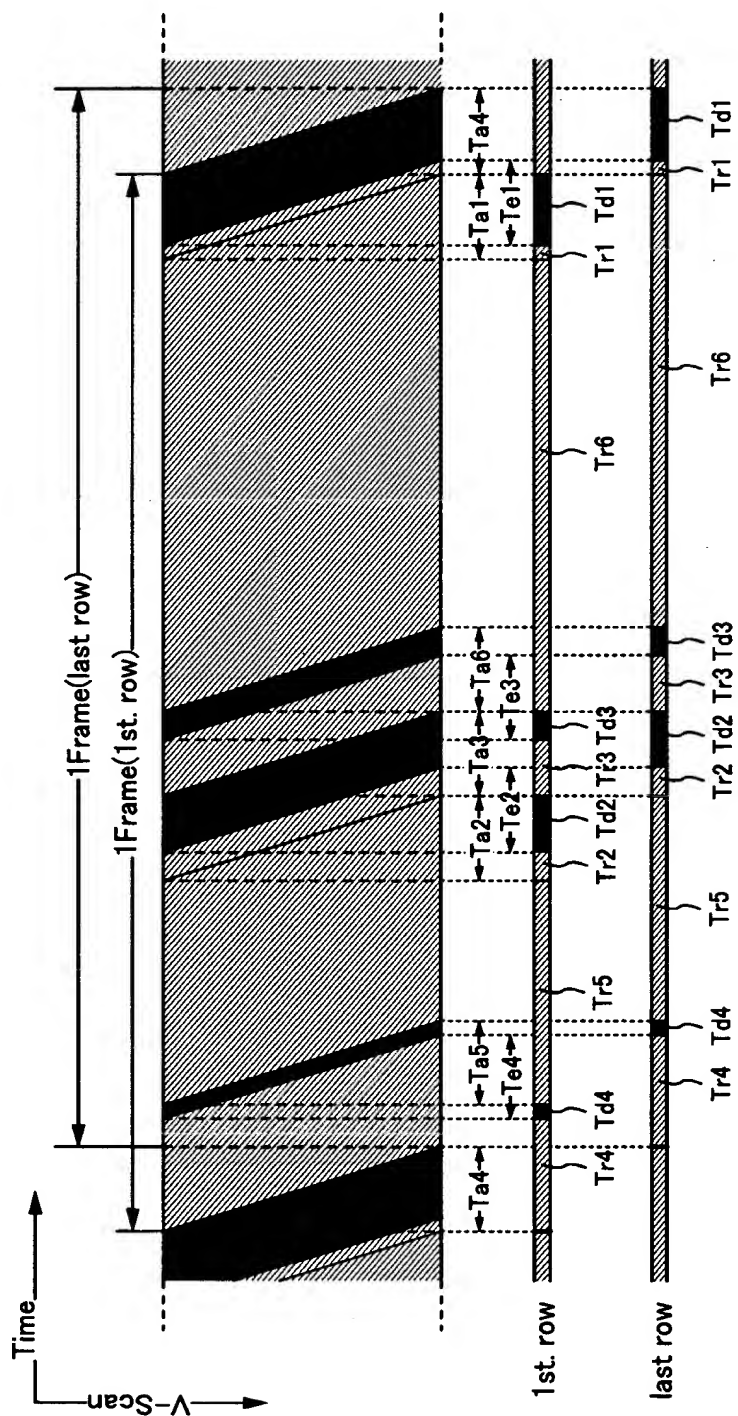
(B)



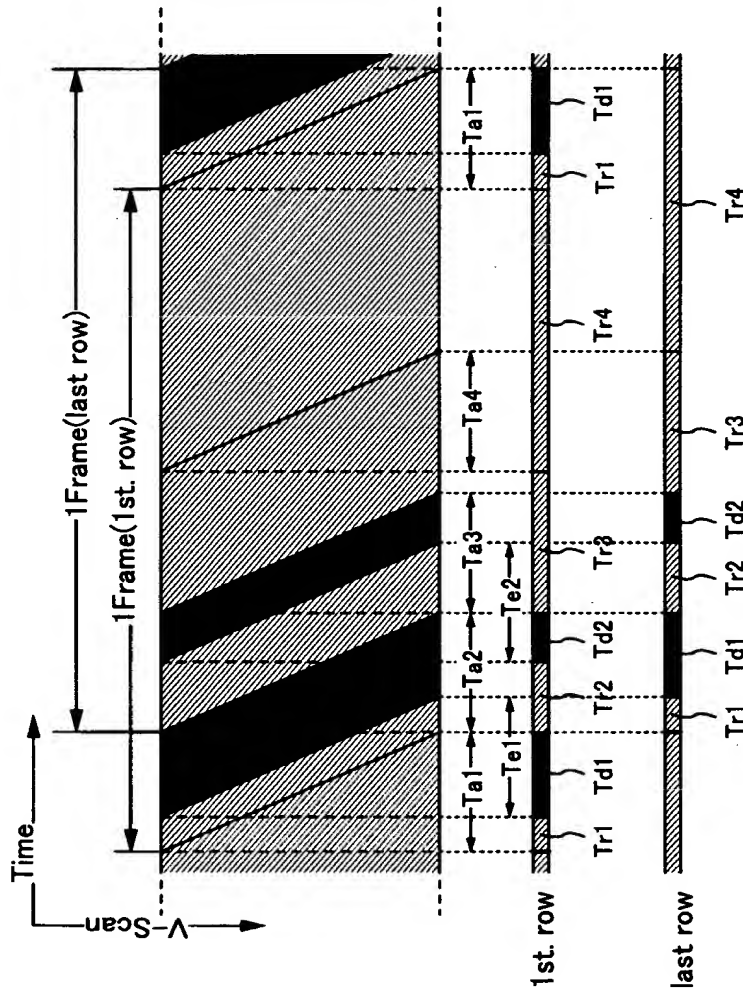
【図 5】



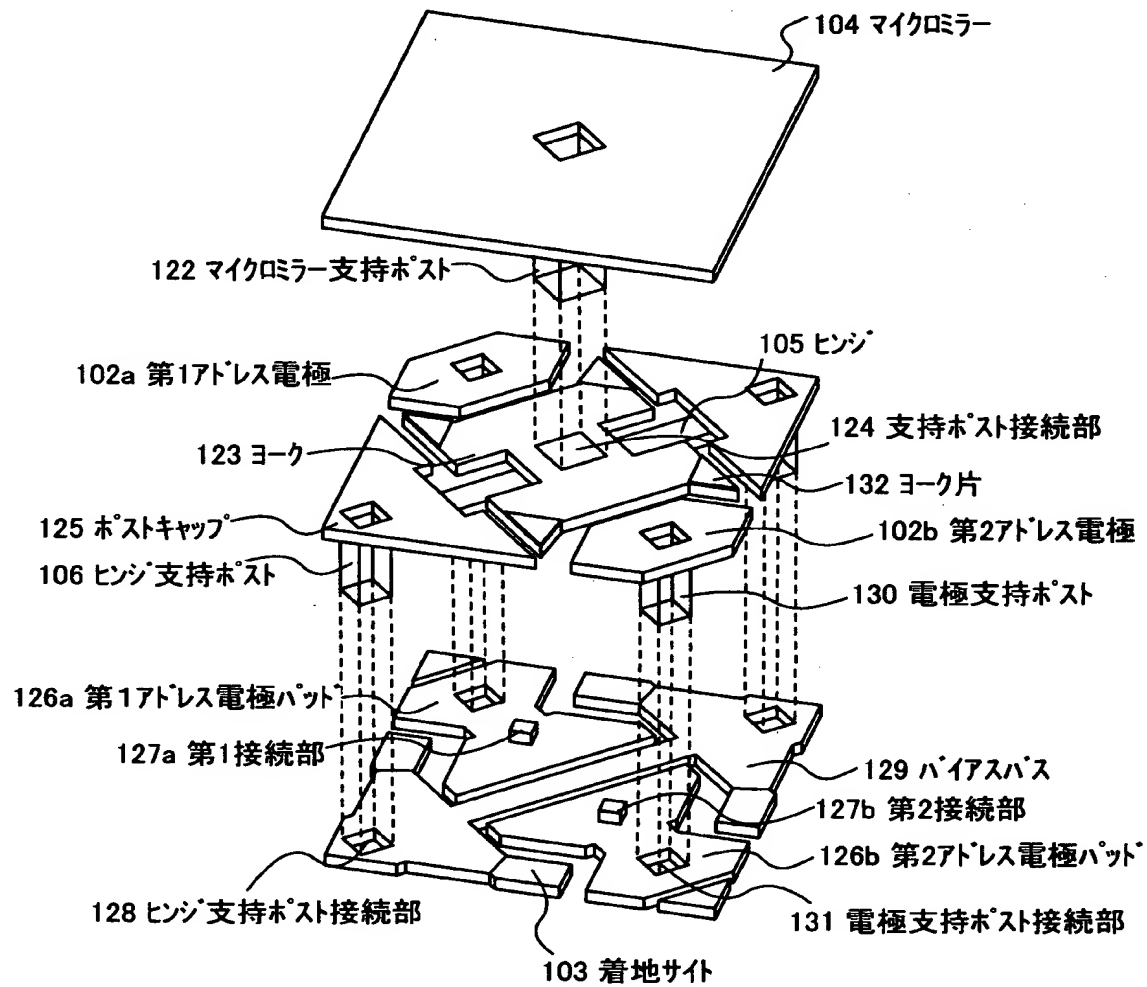
【図 6】



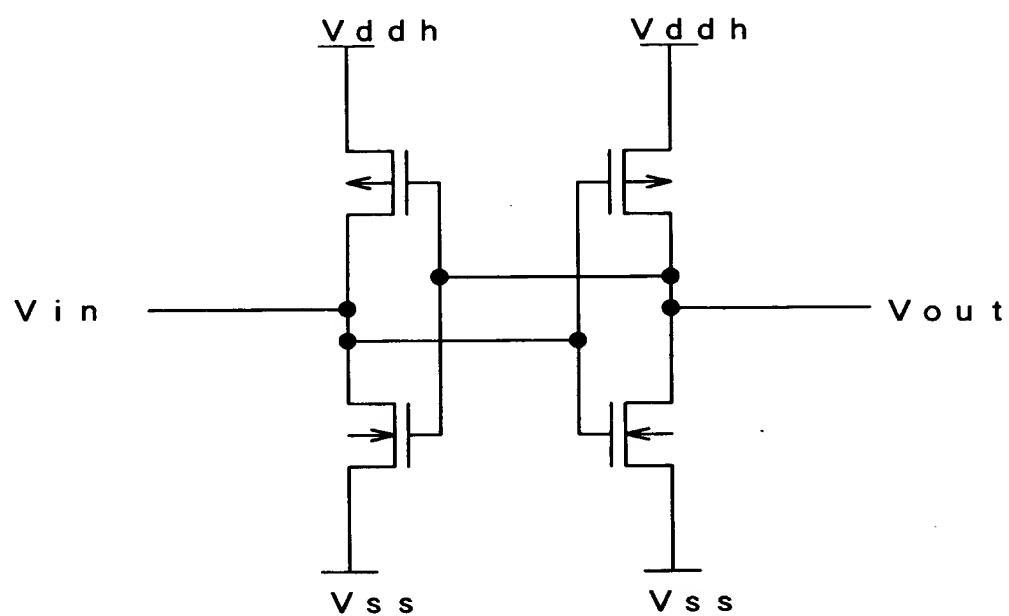
【図 7】



【図 8】

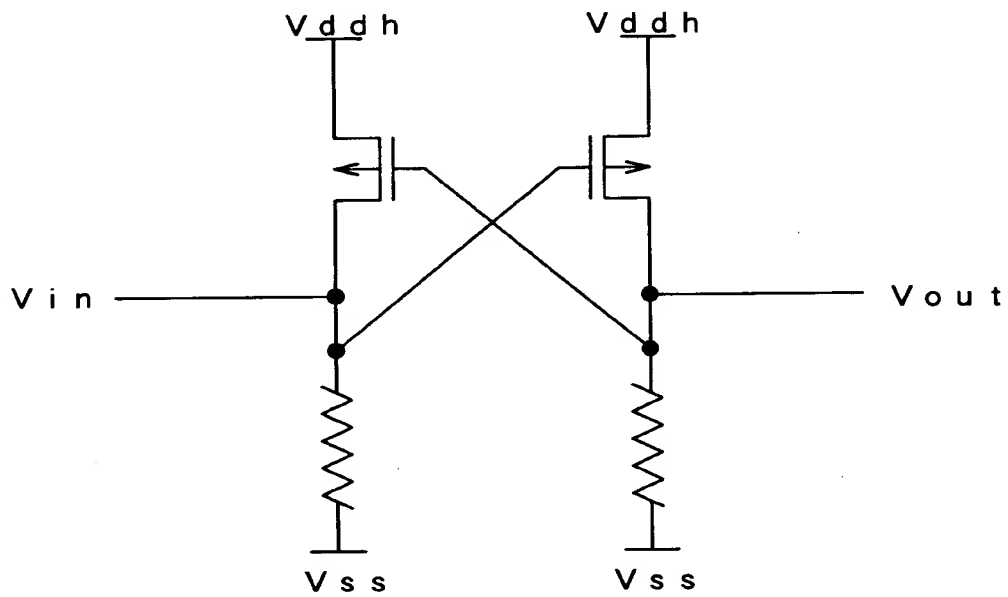


【図 9】

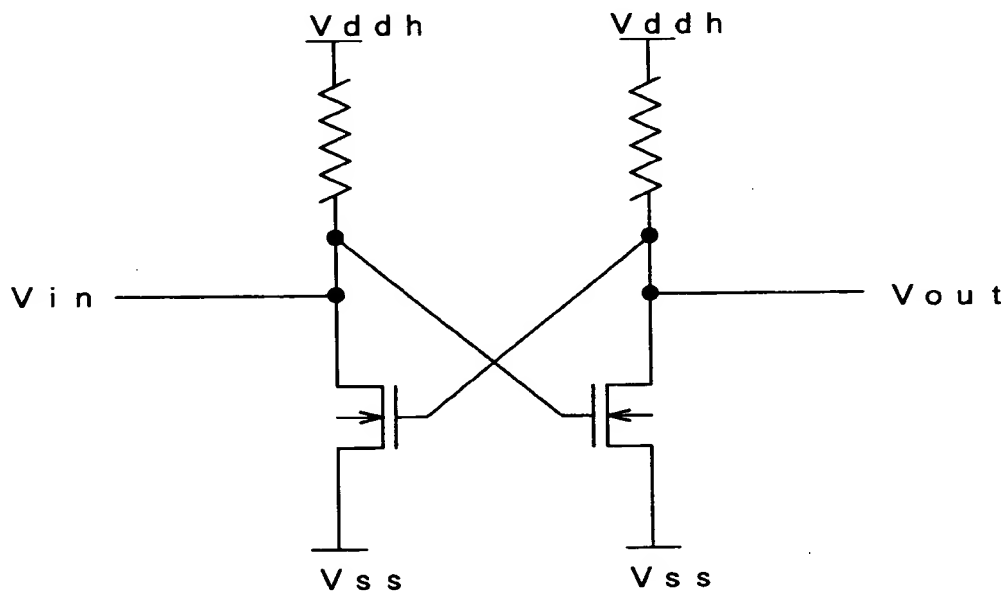


【図 10】

(A)

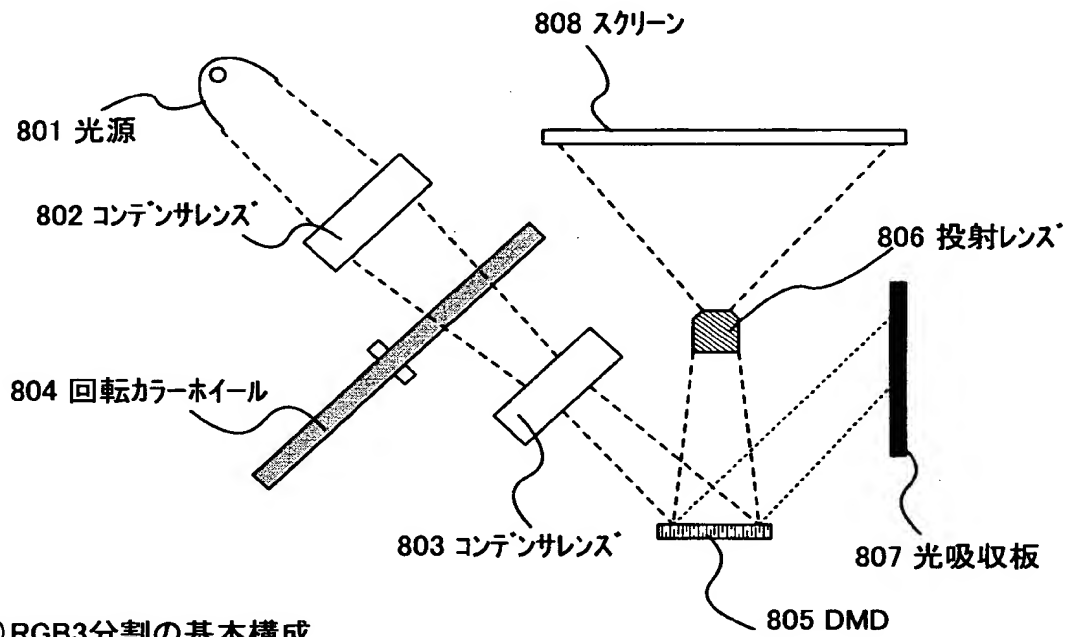


(B)

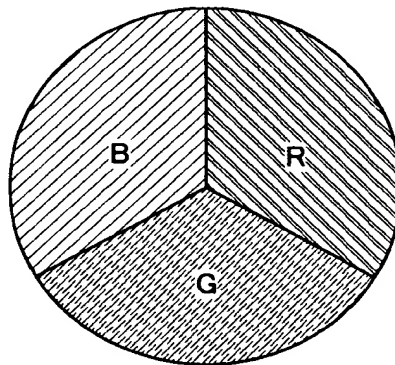


【図 1 1】

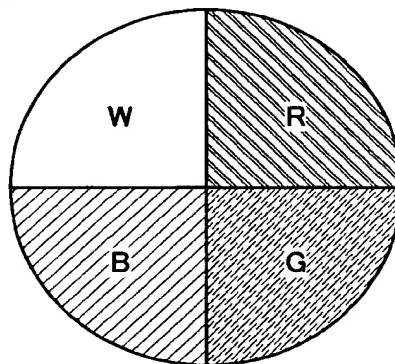
(A) 1チップ方式のプロジェクターのシステム構成



(B) RGB3分割の基本構成

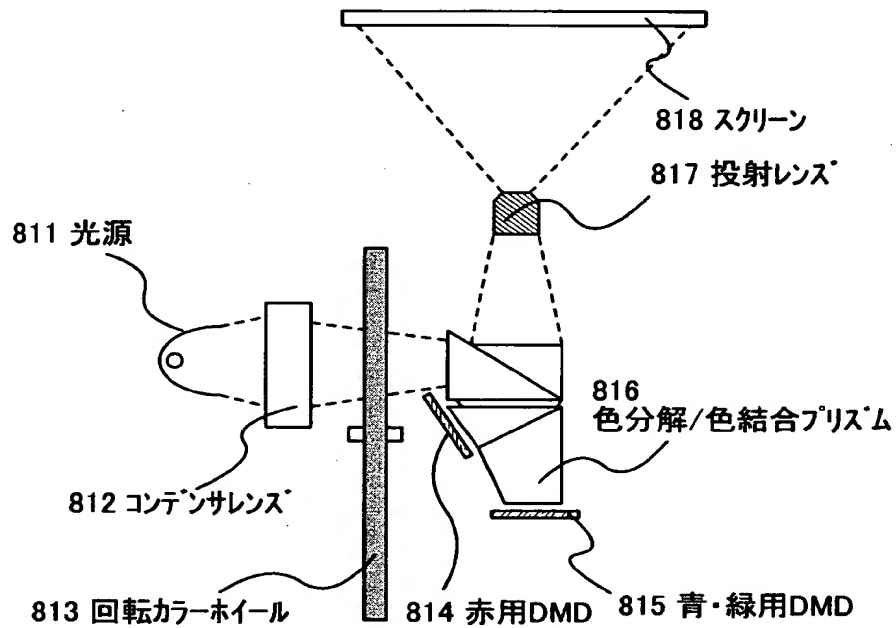


(C) RGBWの4分割の基本構成

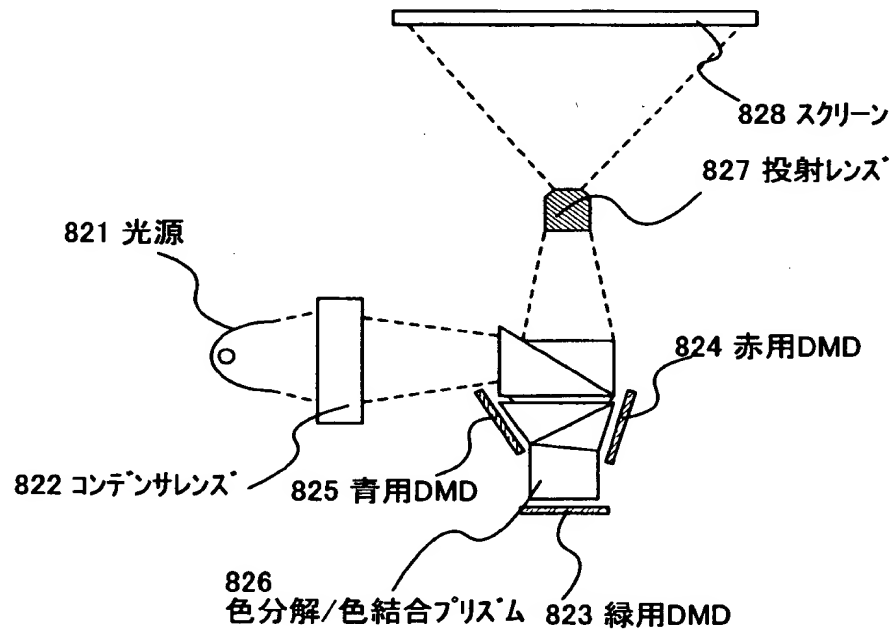


【図 1 2】

(A) 2チップ方式のプロジェクターのシステム構成

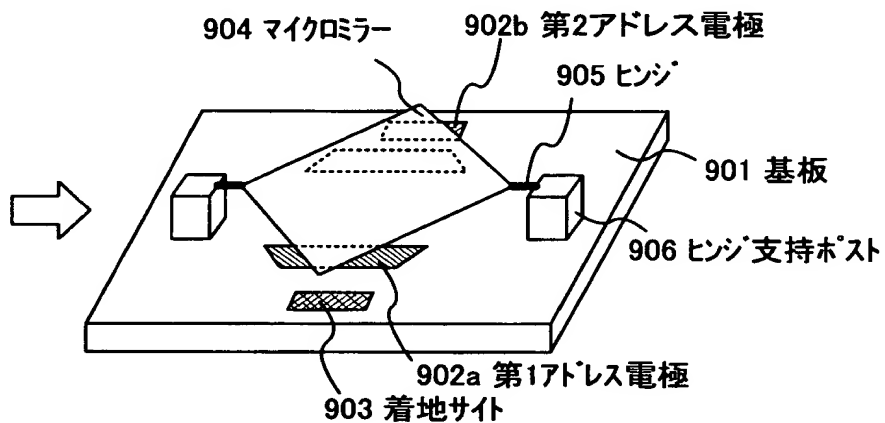


(B) 3チップ方式のプロジェクターのシステム構成

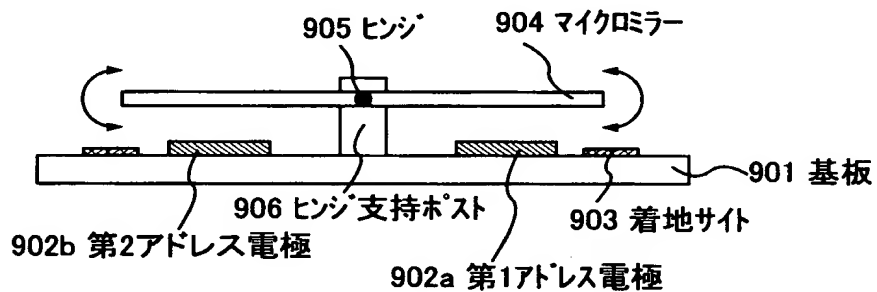


【図 1 3】

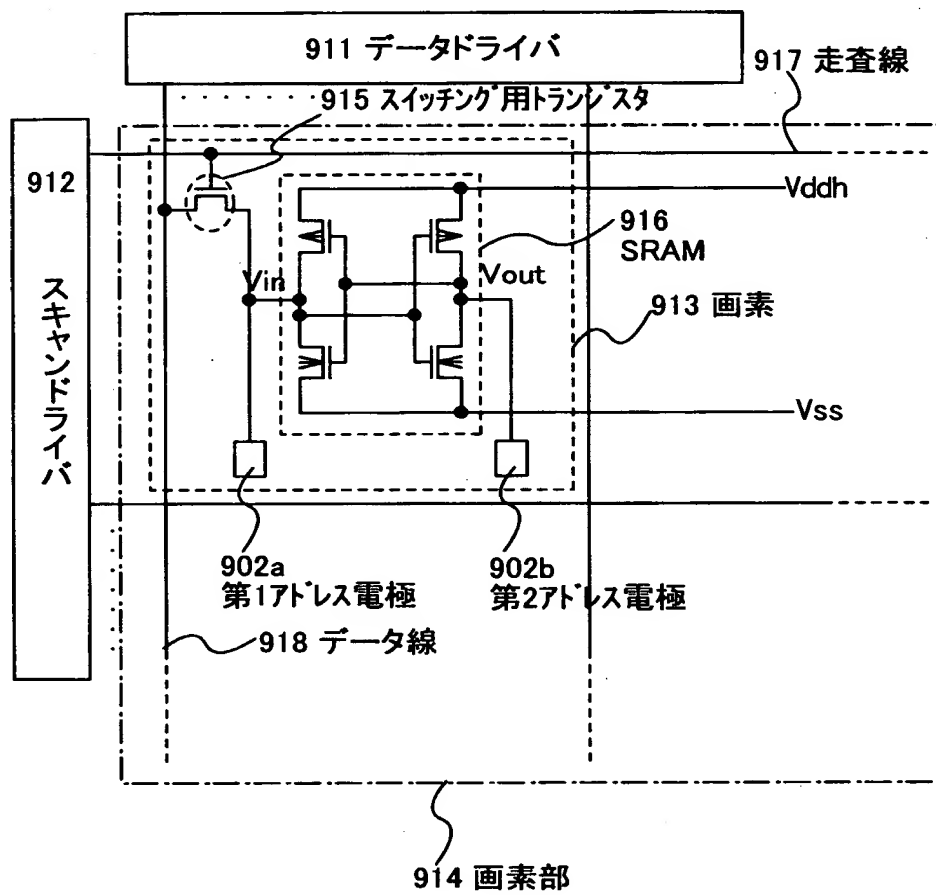
(A)



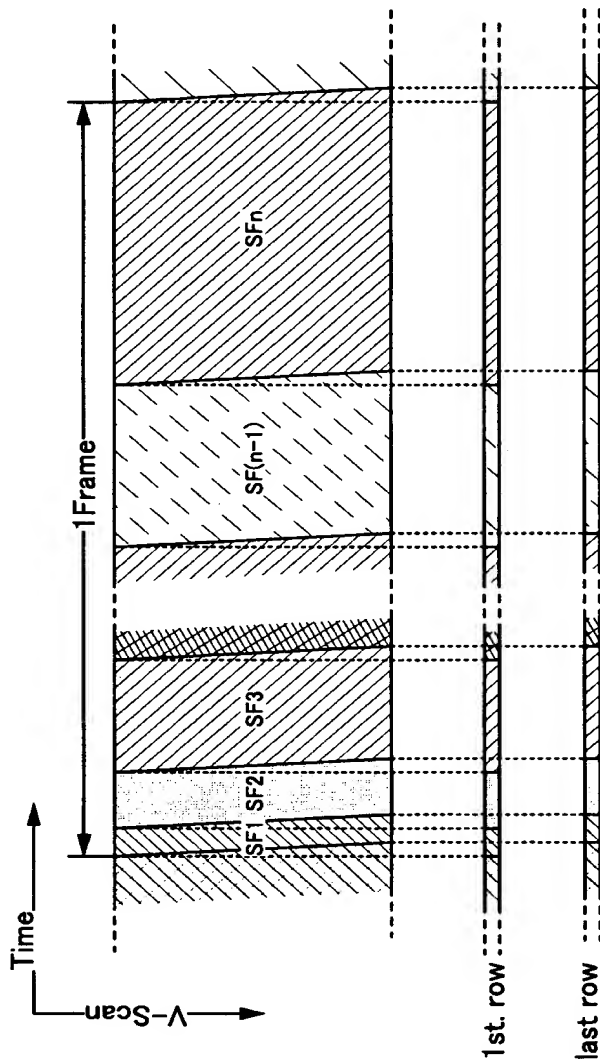
(B)



【图 14】

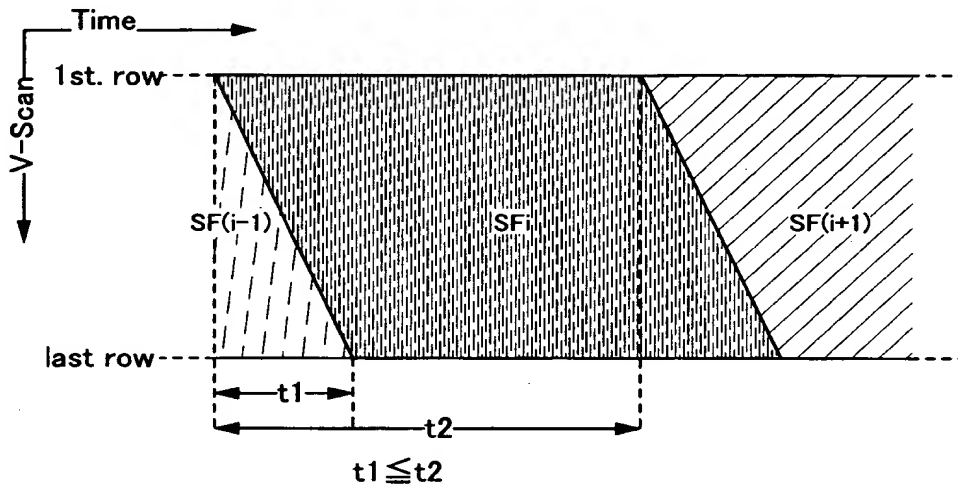


【図 15】

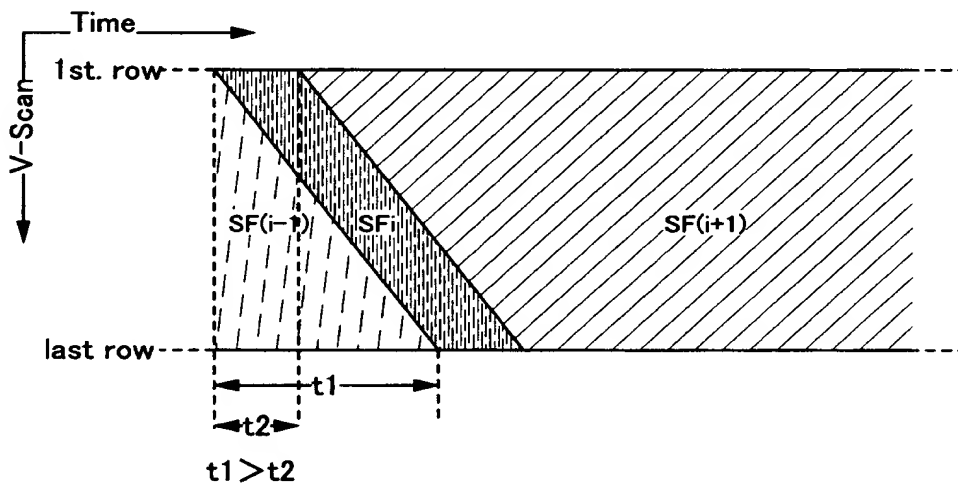


【図 16】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 高い階調数の表示が可能な空間光変調装置を提供する。

【解決手段】 画素部は複数の画素を有し、複数の画素は第1アドレス電極と、第2アドレス電極とをそれぞれ有し、書き込み用スキンドライバによってデータドライバから出力されたデジタルビデオ信号が第1アドレス電極に入力され、消去用スキンドライバによって消去用電源の電位が第2アドレス電極に与えられ、第1アドレス電極と第2アドレス電極の電位は常にグラウンドを基準として反転していることを特徴とする空間光変調装置。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所